

СХЕМОТЕХНИКА ЦИФРОВОГО ДИАГРАММООБРАЗОВАНИЯ

МОДУЛЬНЫЕ РЕШЕНИЯ

В.Слюсар

Технология цифрового диаграммообразования (ЦДО) играет важную роль в современных средствах радиолокации [1], связи [2] и других системах. Базовый компонент таких систем – унифицированные модули цифровой обработки сигналов (ЦОС). Но ведущие мировые производители АЦП и сигнальных процессоров (Analog Devices, Texas Instruments) не выпускают требуемую номенклатуру ЦОС-модулей. Их изготавливают более мелкие компании, такие как Traquair Data Systems, Pentec (США), Sundance Multiprocessor Technology (Великобритания), Interactive Circuits and Systems (Канада), АО "Интеллектуальные системы" (Россия). Это приводит к многократному удорожанию готовых изделий, а нередко и к отказанию в освоении новейших разработок элементной базы. Впрочем, всякому, кто впервые намерен попробовать свои силы в практическом освоении ЦДО, поначалу, скорее всего, дешевле воспользоваться готовыми решениями, чем самостоятельно разрабатывать и производить необходимые специализированные модули. Чем же руководствоваться при выборе схемной реализации ЦДО в зависимости от решаемой задачи?

Важнейшее условие корректного выполнения процедур цифрового диаграммообразования и трансляции массивов напряжений приемных каналов на вход диаграммоформирующего модуля – наличие **высокопроизводительных интерфейсов**. А поскольку для любой системы первостепенное значение имеет пропускная способность цифровых магистралей, необходимо прежде всего определиться с выбором предпочтительного протокола обмена. Задача эта в условиях перманентного развития вычислительной техники довольно сложна и неблагодарна, однако без ее решения структурный синтез ЦДО-систем невозможен. Из высокоскоростных межмодульных интерфейсов, используемых в промышленном оборудовании, наиболее распространен-

ны протоколы межразъемных соединений, представленные в табл. 1. Здесь до недавнего времени бесспорное лидерство принадлежало семейству интерфейсов VME [3]. Появившийся сравнительно недавно самый скоростной из них – VME320 – пока не используется в модулях АЦП и сигнальных процессоров, представленных на мировом рынке. Возможно, причина этого – дороговизна, поскольку, в отличие от предыдущих, "бесплатных", спецификаций VME, в основу VME320 положена запатентованная фирмой Arizona Digital технология "звездной" разводки проводников к контактам несущей платы (Backplane), позволяющая снизить искажения интерфейсных сигналов [4]. VME320 еще редко применяется и в военной технике. Так, Министерство обороны США приняло решение реализовать системы управления воздушным движением и системы AVACS на базе одноплатных компьютеров фирмы Motorola MVME3604 с интерфейсом VME64, а также использовать эти компьютеры в качестве базовых средств информационной инфраструктуры оперативного звена [5]. По-видимому, это объясняется возможностью компенсировать низкую пропускную способность шины VME64 с помощью параллельного интерфейса FPDP (Front Panel Data Port, стандарт VITA 17-199x), выполненного в виде навесных 80-жильных шлейфов в модулях с разъемами указанного типа.

С развитием технологии персональных компьютеров в промышленных системах все чаще стали реализовываться интерфейсные стандарты, присущие ПК семейства PC. И сейчас на фоне технологической сложности и дороговизны тандема VME + FPDP нередко предпочтение отдается протоколам PCI и их разновидности – CompactPCI, разработанной в 1994 году группой фирм-производителей компьютерной техники PICMG (PCI Industrial Computer Manufacturer's Group) под форм-фактор плат Eurocard. В итоге сегодня при освоении новых технологий ЦДО наибольшего внимания заслуживают PCI-коммуникации, важным достоинством которых является совместимость с ПК, столь удобная для отладки программного обеспечения. Этому выбо-

Таблица 1. Универсальные современные интерфейсы

Шина	Тактовая частота шины, МГц	Максимальная пропускная способность, Мбайт/с	Разрядность адресной шины	Разрядность шины данных
VME (6U)	10	40	32	32
VME64 (6U), ANSI/VITA 1-1994	10	80	64	64
VME64x (6U), VITA 1.1-1997	20 ¹	160	64	64
VME320	40 ²	320	32	64
FPDP	40	160	32	32
ISA	8,33	5	24	16
EISA	8,33	33	32	32
PCI v.2.1	33	133	32	32
PCI v.2.2	66	533	32	64
CompactPCI	33	133	32	32
CompactPCI ver.2.0 rev.3.0	33	266	32	64

Примечание: 1 – срабатывание по фронту и срезу такта 10 МГц;

2 – срабатывание по фронту и срезу такта 20 МГц.

ру способствует также ценовой фактор (аналогичные модули CompactPCI, обладающие дополнительными возможностями, обычно в два-три раза дороже) и наличие большого ассортимента интерфейсных расширителей, допускающих установку до 18 и более PCI-модулей на одну плату Backplane вместо трех-шести слотов в обычном компьютере. К тому же, в скором времени для промышленных модулей будет принят стандарт PCI v.2.2, который при тактовой частоте 66 МГц и 64-разрядной шине данных теоретически позволит увеличить пропускную способность до 533 Мбайт/с. При этом благодаря разработкам фирмы Arizona Digital существует реальная возможность, не прибегая к развязывающим мостам, увеличить число слотов на PCI-Backplane с частотой 66 МГц до 21 и даже создать оптимизированные под 133-МГц 21-слотовые кросс-платы с пропускной способностью на шине PCI-X до 1,066 Гбайт/с [6]. Таким образом, переход к PCI-технологии создает предпосылки для эффективного освоения ее высокоскоростных версий в будущих проектах.

При обработке НЧ-сигналов и сравнительно медленном аналого-цифровом преобразовании цифровую диаграмму направленности можно формировать по каждому отсчету АЦП. При этом аппаратная реализация цифрового формирователя луча сводится к использованию модулей АЦП типа рассмотренных в [7] с интерфейсом какой-либо универсальной шины из числа указанных в табл. 1. Однако при высоких скоростях оцифровки, когда используются цифровые методы фильтрации и расквადрирования сигналов (а именно этот случай имеет место в задачах радиолокации, связи и т. п.), возникает необходимость предварительной обработки отсчетов АЦП.

Один из возможных способов предварительной обработки отсчетов АЦП – использование сигнальных процессоров. Несложные расчеты показывают, что для выполнения жестких требований, предъявляемых к пропускной способности аппаратуры первичной обработки сигналов, предпочтительно отказаться от передачи данных с выходов АЦП на входы сигнальных процессоров через интерфейс PCI и использовать его лишь для выдачи на диаграммообразующую схему результирующих комплексных напряжений приемных каналов. Согласно предварительным расчетам, при 32-разрядном представлении напряжений квадратур сигналов шина PCI v.2.1 позволяет с запасом по времени закачивать в диаграммообразующую схему массив комплексных напряжений восьми приемных каналов и выполнять обратное извлечение напряжений синтезированных вторичных каналов при длительности зондирующего импульса более 3 мкс. При этом предполагается, что формирователь диаграммы направленности и узлы сбора напряжений синтезированных в результате ЦДО вторичных каналов расположены на тех же несущих платах, что и составные модули "АЦП-сигнальный процессор" (рис. 1). Такой подход ограничивает круг возможных аппаратных решений, исключая из рассмотрения модули высокоскоростных АЦП, оснащенные лишь PCI-интерфейсом, и акселераторные PCI-платы сигнальных процессоров, не имеющие разъемов для подключения submodule ввода данных. Поэтому в ходе дальнейшего анализа можно не рассматривать продукцию фирм Pentek, Catalina Research, Systran, VMIC (США), Interactive Circuits and Systems, Gage Applied Sciences (Канада), Keithley Instruments (Германия), в активе которых фигурирует преимущественно такая продукция.

Ориентируясь на использование готовых модульных решений, **дальнейший отбор элементной базы** имеет смысл проводить на основе анализа номенклатуры PCI-лат сигнальных процессоров со специализированными высокоскоростными интерфейсами для подключения submodule быстродействующих АЦП. К сожалению, предлагаемые ЦОС-модули российского ЗАО "Л-Кард" [7], украинских Holit Data Systems, Saturn Data International (Киев) и т. п. не удовлетворяют требованиям ЦДО: АЦП слишком "тихоходны". Пригодны для

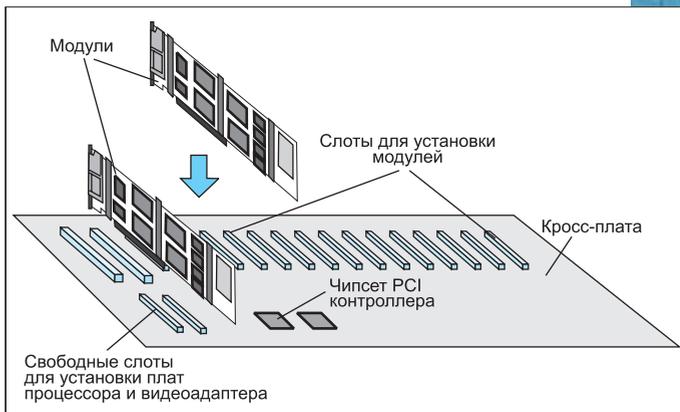


Рис. 1. Вариант размещения модулей ЦОС на кросс-плате

проектирования систем с ЦДО изделия компаний Traquair Data Systems (США), Heron Engineering, Nallatech и Sundance Multiprocessor Technology (Великобритания) (все, кроме Nallatech, имеют представительства в Москве), а также ряда фирм СНГ, в частности московского АО "Интеллектуальные системы", воронежской фирмы Scan Engineering Telecom и ее днепропетровского партнера "Пульсар Лтд". Продукция большинства этих фирм привлекает наличием несущих плат с PCI-разъемом, на которые могут устанавливаться до четырех модулей сигнальных процессоров и АЦП (рис. 2). Такой подход обеспечивает компактность многоканальных узлов и позволяет сократить на материнских платах хост-процессоров число PCI-гнезд, требуемых для многоканального сбора данных.

Для подключения ЦОС-модулей к несущим PCI-платам наибольшее распространение получила устаревшая (1992 года) спецификация TIM-40 фирмы Texas Instruments. Так, в многомодульных несущих платах АО "Интеллектуальные системы" она не имеет альтернатив. Но Traquair Data Systems уже внедрила уникальный интерфейс HEART, обеспечивающий скорость межмодульного обмена до 400 Мбайт/с. Такой же скорости передачи в рамках TIM-совместимой спецификации для несущей платы SMT350 с модулями процессоров Sбх добилась и Sundance Multiprocessor Technology. При этом максимальная скорость обмена по линии модуль Sбх–шина PCI достигает 120 Мбайт/с, т.е. потенциал протокола PCI v.2.1 реализован почти полностью (см. табл. 1). Очевидно, спецификация Sundance Multiprocessor Technology, являясь развитием традиционного стандарта и совместимая с его менее скоростным вариантом, более удачна.

Анализ характеристик продукции перечисленных фирм не позволяет выделить явного лидера и безоговорочно принять решение об окон-

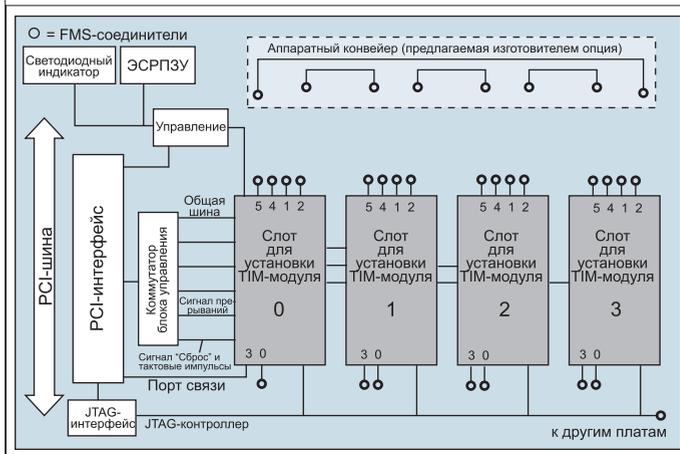


Рис. 2. Функциональная схема типовой четырехмодульной несущей платы SMT-350 фирмы Sundance Multiprocessor Technology

чательном варианте комплектации цифрового тракта обработки сигналов. У самой продвинутой с точки зрения освоения новейших сигнальных процессоров фирмы Traquair Data Systems (с мая 1999 года выпускает HERON-модули с TMS320C6203 на тактовую частоту 300 МГц, в стадии доводки находятся модули под процессоры TMS320C64 на частоту более 1 ГГц) быстрое действие плат АЦП посредственное: в двухканальном режиме предельная частота дискретизации модулей 12-разрядных АЦП HEGD9 составляет 26 МГц. Лишь новый, созданный совместно с фирмой Heron Engineering, модуль HERON-Ю1 на базе двух АЦП AD9432 как-то исправляет эту ситуацию. В свою очередь, АО "Инструментальные системы" предлагает достаточно скоростные двухканальные платы АЦП (АЦП стыкуются с PCI-платой сигнального процессора С6х по специальному интерфейсу ADM, обеспечивающему скорость передачи данных с выходов АЦП до 200 Мбайт/с), но пока не может освоить выпуск многомодульных несущих PCI-плат с требуемой пропускной способностью интерфейса межмодульного обмена. Кроме того, АО еще не решило все проблемы отладки устройств на базе TMS320C62 на тактовую частоту более 300 МГц. Продукция Sundance Multiprocessor Technology пока занимает промежуточное положение, однако она, равно как и изделия Traquair Data Systems, дороже аналогичных комплектов московского конкурента. Впрочем, не исключено, что этот расклад изменится. В частности, Sundance Multiprocessor Technology активно внедряет модули сигнальных процессоров серии SMT600, которые в два-три раза дешевле аналогичных модулей SMT300. Кроме того, фирма дорабатывает плату четырехканального АЦП SMT354 с частотой дискретизации по каждому каналу до 105 МГц.

Сравнение ориентировочной стоимости комплектации цифровых модулей на основе продукции Sundance Multiprocessor Technology, Traquair Data Systems и АО "Инструментальные системы" для двух приемных каналов антенной решетки (табл.2) показало, что самая низкая цена у продукции АО "Инструментальные системы". И поскольку стоимость ЦОС-модулей на ее основе почти вдвое ниже, чем модулей на базе продукции других фирм, появляется возможность увеличить расходы комплектации на 15% и поручить изготовителю провести рутинные стыковочно-отладочные работы с полным набором модулей всего макета системы ЦДО.

Таким образом, в условиях жестких финансовых ограничений в качестве приемлемого для решения задач ЦДО варианта модуля "АЦП-сигнальный процессор" можно рекомендовать продукцию АО "Инстру-

Таблица 2. Сравнение стоимости комплектации цифровых модулей на основе продукции Sundance Multiprocessor Technology, Traquair Data Systems и АО "Инструментальные системы" (цены московских представительств компаний)

Фирма	Модуль/цена, долл.			Цена для двух каналов, долл.
	АЦП	DSP	Четырехмодульная несущая PCI-плата	
Sundance Multiprocessor Technology	SMT-340/2870	SMT331-200/1925	SMT350/3195	12785
Traquair Data Systems	HEGD9/2469	HERON1-C6701/2379	HEPC8/3709	13405
АО "Инструментальные системы"	ADMDDC2WB/1200	ADP62PCI/2150	Не требуется	6700

ментальные системы". Консультации с представителями фирмы позволяют на данном этапе принять за основу компромиссное решение – отказаться от многомодульных несущих плат и выполнять цифровую часть парциального приемного канала на базе модуля двухканального АЦП ADMDDC2WB (рис.3), стыкуемого с PCI-платой сигнального процессора, например ADP62PCI на базе TMS320C6201 (рис.4) [8, 9]. Модуль ADMDDC2WB содержит два 12-разрядных АЦП AD6640 фирмы Analog Devices с частотой дискретизации до 65 МГц и предельной полосой частот входного аналогового сигнала до 200 МГц. Такие параметры вполне приемлемы для оцифровки сигналов на промежуточной частоте. Двухканальность модуля позволяет синхронно оцифровывать квадратуры аналогового сигнала одного парциального приемника, что

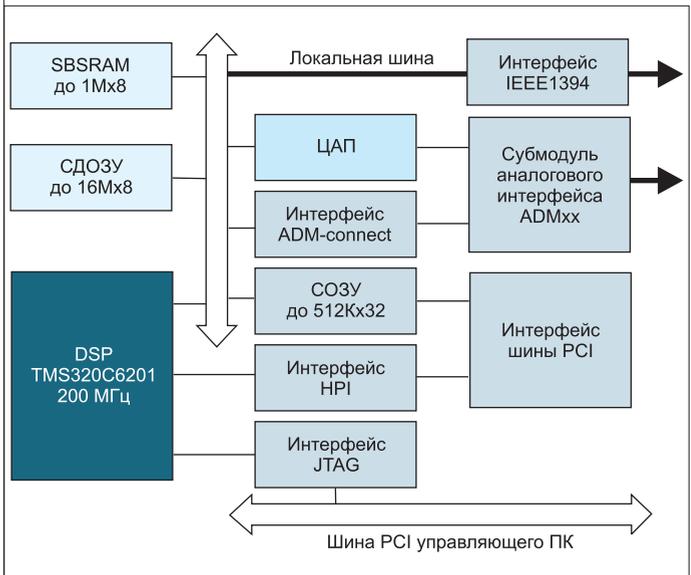


Рис.4. Функциональная схема модуля сигнального процессора ADP62PCI

важно для эффективной реализации комплексной цифровой фильтрации. Выбор модуля ADP62PCI – вынужденное решение. Предпочтительнее модуль ADP67PCI с процессором с плавающей запятой, но к сожалению, такие платы пока недостаточно отлажены.

При использовании сигнальных процессоров и в особенности выполненных на их основе стандартных ЦОС-модулей следует учитывать, что синхронизация программ дополнительного стробирования (фильтрации) отсчетов АЦП в множестве каналов затруднена из-за непредсказуемости времени обработки прерываний. Впрочем, несмотря на последнее обстоятельство, для 16-разрядных АЦП с частотами дискретизации свыше 300 МГц программная реализация алгоритмов первичной обработки сигналов на основе сигнальных процессоров с тактовой частотой 1 ГГц и выше не может не привлечь внимание. Этот вывод основан на результатах сравнения производительности конкурирующих аппаратных средств, а также на анализе ближайших перспектив развития цифровой элементной базы.

Вместе с тем, для 12–14-разрядных АЦП на частоту дискретизации до 300 МГц **серьезной альтернативой сигнальным процес-**

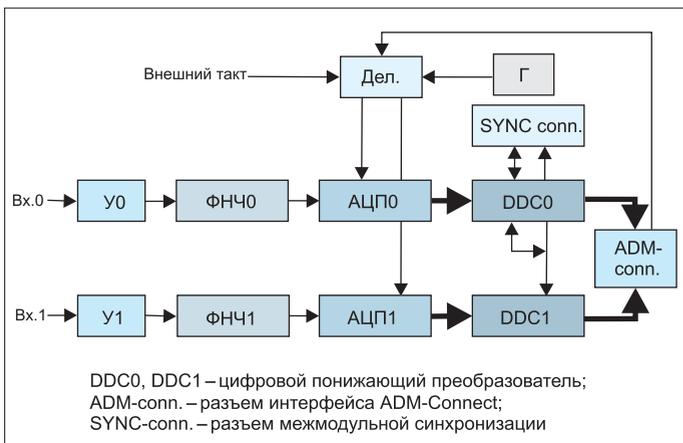


Рис. 3. Функциональная схема модуля АЦП ADMDDC2WB

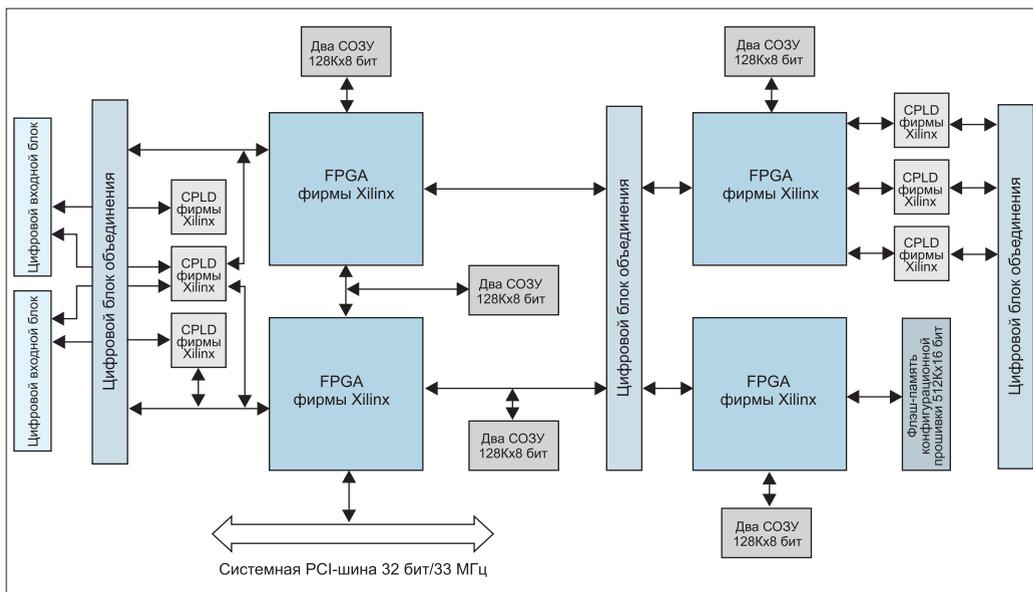


Рис.5. Структурная схема модуля ЦОС XDSP-680-С

сорам при построении ЦОС-модулей, как с точки зрения стоимости, так и рассеиваемой мощности, становятся программируемые матрицы логических элементов (ПМЛЭ), в частности FPGA-серия фирмы Xilinx. Благодаря тому, что FPGA содержат 50 тыс. и более вентилях, элементы чипа могут также выполнять и процедуру коррекции характеристик приемных каналов цифровых антенных решеток (ЦАР) [10]. "Жесткие" цифровые автоматы на базе FPGA позволяют предельно синхронизировать в многоканальных системах с ЦДО пошаговое выполнение алгоритмов первичной обработки данных.

На рынках СНГ представлен ряд оригинальных FPGA ЦОС-модулей местных разработок. Так, фирма Scan Engineering Telecom предлагает модули XDSP-680 и XDSP-3MP [11], позволяющие устанавливать до четырех ПМЛЭ фирмы Xilinx (рис. 5), а с помощью разъемов расширения – и дочерний submodule АЦП. Модуль XDSP-3MP привлекает наличием двух 12-бит АЦП с тактовой частотой 105 МГц (AD9432), устанавливаемых непосредственно на плату без промежуточных интерфейсных соединений АЦП-ПМЛЭ. Аналогичное, только более компактное, решение для интерфейса PCI v. 2.1 (2.2) предлагает и компания "Пульсар Лтд". Эта модернизированная версия двухканального ISA ЦОС-модуля по производительности не уступает плате XDSP-3MP. Один такой модуль может подключаться на два квадратурных аналоговых канала одного антенного элемента. Возможность использования PCI-интерфейса 64 бит/66 МГц открывает широкие перспективы для создания по такой модульной технологии простейших плоских ЦАР (до 16 элементов в строке), ориентированных на м- и дм-диапазоны длин волн.

Схематехника на базе FPGA-серии Virtex-E фирмы Xilinx преобладает в продукции компании Nallatech – самого последовательного среди зарубежных фирм приверженца применения FPGA-технологии в ЦОС-модулях. При этом наиболее интересны для приложений ЦДО сборочные узлы FPGA-модуль + АЦП-FPGA-субмодуль в PCI- или CompactPCI-версии [12]. Для реализации максимальной производительности FPGA-узлов и их гибкой реконфигурации под нужды заказчика на уровне submodule в Nallatech разработан FPGA-ориентированный submodule интерфейс DIME и его улучшенный вариант DIME II. Размер типового DIME-узла 97x59,5 мм (рис.6). Он сообщается с несущей платой посредством более 200 линий ввода/вывода. Среди DIME-модулей наибольший интерес с точки зрения рассматриваемой проблемы представляют четырехканальные submodule АЦП – Ballyriff (рис.7) и ЦАП – Ballydac, построенный по тому же принципу,

что и Ballyriff и содержащий четыре 14-разрядных ЦАП с тактовой частотой 150 МГц.

Интерфейс DIME-II имеет вторую пару разъемов, в результате число линий ввода/вывода равно 400. Суммарная производительность DIME-II – порядка 10^{12} операций/с, а результирующая скорость обмена – 10 Гбит/с. Пример – submodule Benfad с двумя 8-разрядными АЦП MAX104 фирмы Maxim с частотой дискретизации 640 МГц при максимальной полосе входного сигнала 2,2 ГГц. Несущей платы для DIME-II-submodule пока может служить лишь CompactPCI-плата, названная Venega. Поэтому в последующем

рассмотрении возможных схематехнических реализаций системы с ЦДО ограничимся DIME-submodule.

В качестве несущей кросс-платы для DIME-узлов Nallatech предлагает полноразмерные PCI-платы Ballypuey2 и Ballypuey3, на которых можно установить до четырех DIME-submodule (рис.8) [12]. Плата Ballypuey3 рассчитана на интерфейс PCI v.2.2 (64 бит, 33 МГц) и размещение до двух программируемых матриц Xilinx, что открывает принципиально новую возможность межканальной обработки данных в интересах ЦДО до сброса их на PCI-шину. Nallatech также выпускает несущую плату стоимостью 3116 долл. для двух DIME-submodule, рассчитанную на PCI-интерфейс 64 бит/66 МГц.

В приемном сегменте типовой радиотехнической системы одна плата Ballypuey3 с четырьмя АЦП-submodule Ballyriff может оцифровывать сигналы по выходу восьмиземельной ЦАР и выполнять восьмилучевое ЦДО на основе БПФ с последовательной выдачей на PCI-слот комплексных напряжений синтезированных вторичных каналов. При использовании полностью укомплектованных submodule Ballyriff кросс-плат Ballypuey3 на 16-слотовой несущей плате можно разместить до 128 приемных каналов ЦАР. Однако при этом, чтобы выкачать результаты ЦДО на последующие узлы обработки, время диаграммообразования на PCI-шине 32 бит/33 МГц должно быть не менее 50 мкс. Впрочем, установив на Ballypuey3 память достаточного объема, можно рассчитывать на обмен с PCI-шиной и в гораздо ме-

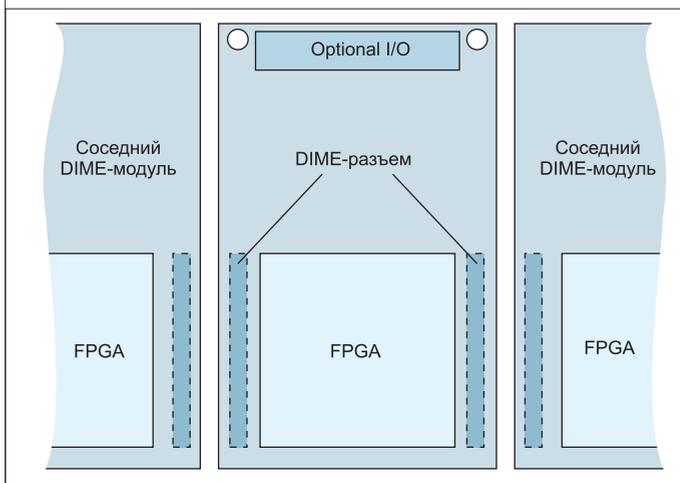


Рис.6. Типовой DIME-узел

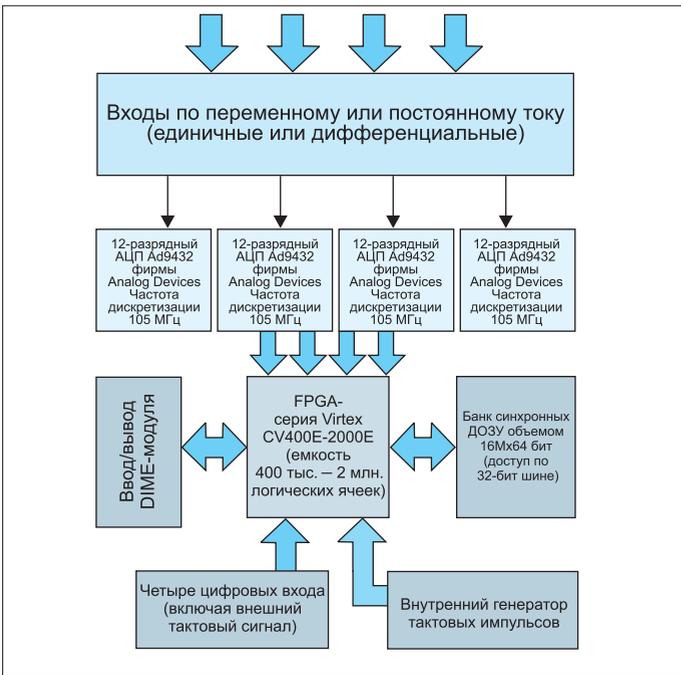


Рис.7. Функциональная схема АЦП-субмодуля Ballyriff

нее интенсивном режиме. Порядок подключения каналов к полотну ЦАП целесообразно задавать, группируя их с учетом возможности использования ресурсов FPGA, установленных на Ballypuey3, для формирования в интересах ЦДО восьмиканальных заготовок первого слоя процедуры диаграммообразования (например, БПФ).

Заменяв субмодули Ballyriff на Ballydac, получим передающий сегмент восьмиэлементной ЦАП, генерирующий в комплексном виде массив аналоговых напряжений для формирования требуемого амплитудно-фазового распределения электромагнитного поля на раскры-

ве антенной решетки. В итоге для конформной приемопередающей шестигранной ЦАП, каждая грань которой образована восьмиэлементной линейкой излучателей, будет достаточно 24 модулей Ballyriff и 24 модулей Ballydac, установленных в 12 платах Ballypuey3. Эти платы, в свою очередь, могут быть смонтированы на 14-слотовой несущей плате Active Backplane типа PBP-14AC фирмы Portwell (Тайвань) с 12 PCI-разъемами или на аналогичной кросс-плате тайваньской фирмы Alptech Logic Products [13].

Для системы с цилиндрической приемопередающей ЦАП, образованной восьмью вертикальными восьмиэлементными линейными ЦАП, необходимы 32 субмодуля Ballyriff, 32 субмодуля Ballydac и 16 плат Ballypuey3.

Стоимость одной несущей платы Ballypuey3 в зависимости от типа используемой FPGA составляет 6-9 тыс. долл. (данные представительства Nallatech по состоянию на 5.02.2001 года). Цена субмодулей Ballyriff, Ballydac и ЦОС-модулей также определяется типом используемых FPGA (табл.3).

Следует отметить, что в простейшем случае для круговой работы в составе базовой станции сотовой связи можно использовать треугольную схему компоновки ЦАП из трех горизонтальных восьмиэлементных линеек. В этом случае стоимость приемопередающей аппаратуры ЦАП на базе компонентов Nallatech составит ~135 тыс. долл. без учета стоимости аналогового тракта, что приемлемо. Примерно столько же стоит и аналогичный использованной в проекте ADAMO вариант шестигранной ЦАП, образованной вертикальными четырехэлементными решетками [2]. Таким образом, в пересчете на один канал фирма Nallatech пока предлагает самые дешевые решения для систем ЦДО и даже обходит по этому показателю DSP-производство АО "Инструментальные системы" (см. табл. 2).

Для снижения затрат на закупку комплектующих целесообразно размещать на одной несущей PCI-плате все 16 Ballypuey3. Среди несущих PCI-плат Active Backplane следует отметить 19-слотовую AP-PSL18B

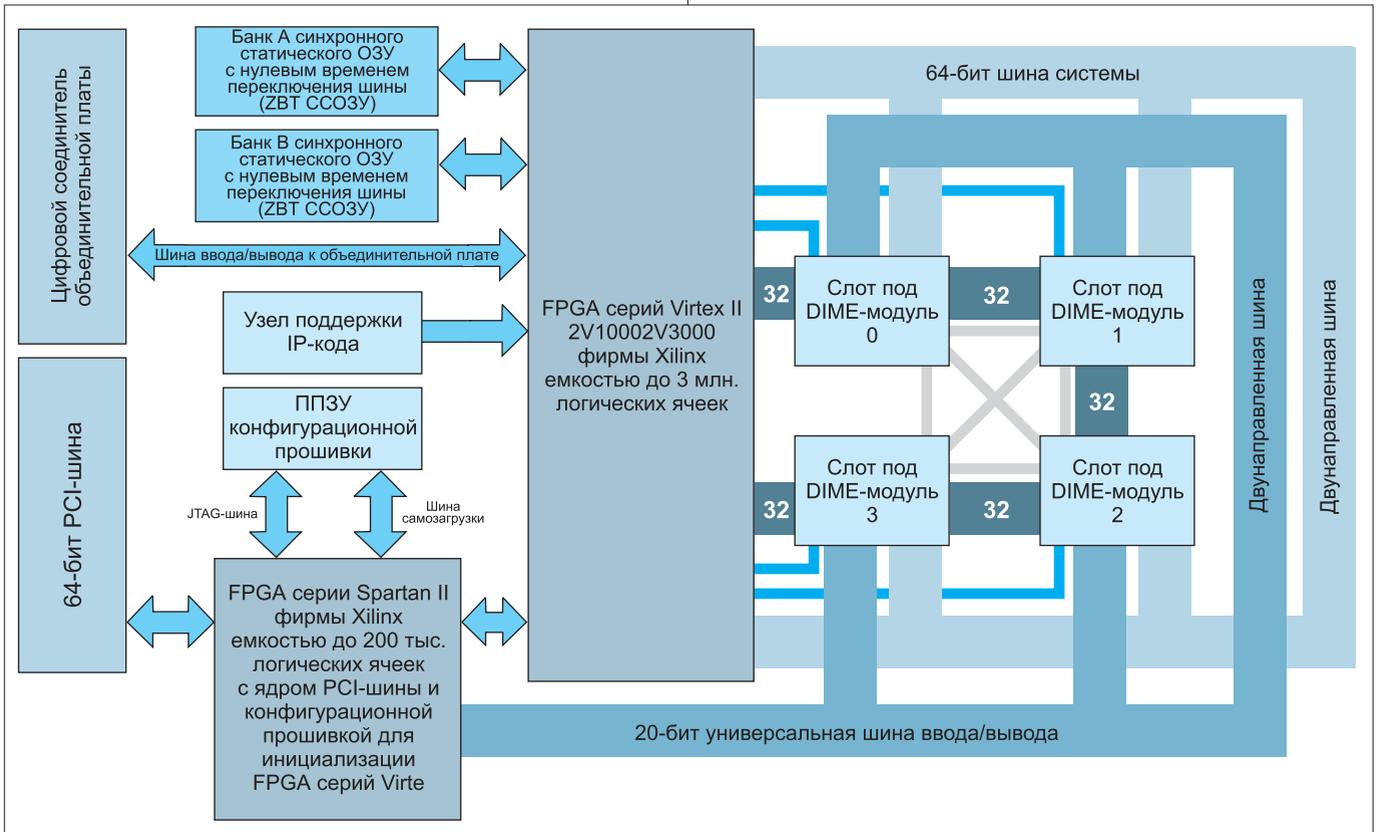


Рис.8. Функциональная схема несущей кросс-платы Ballypuey3

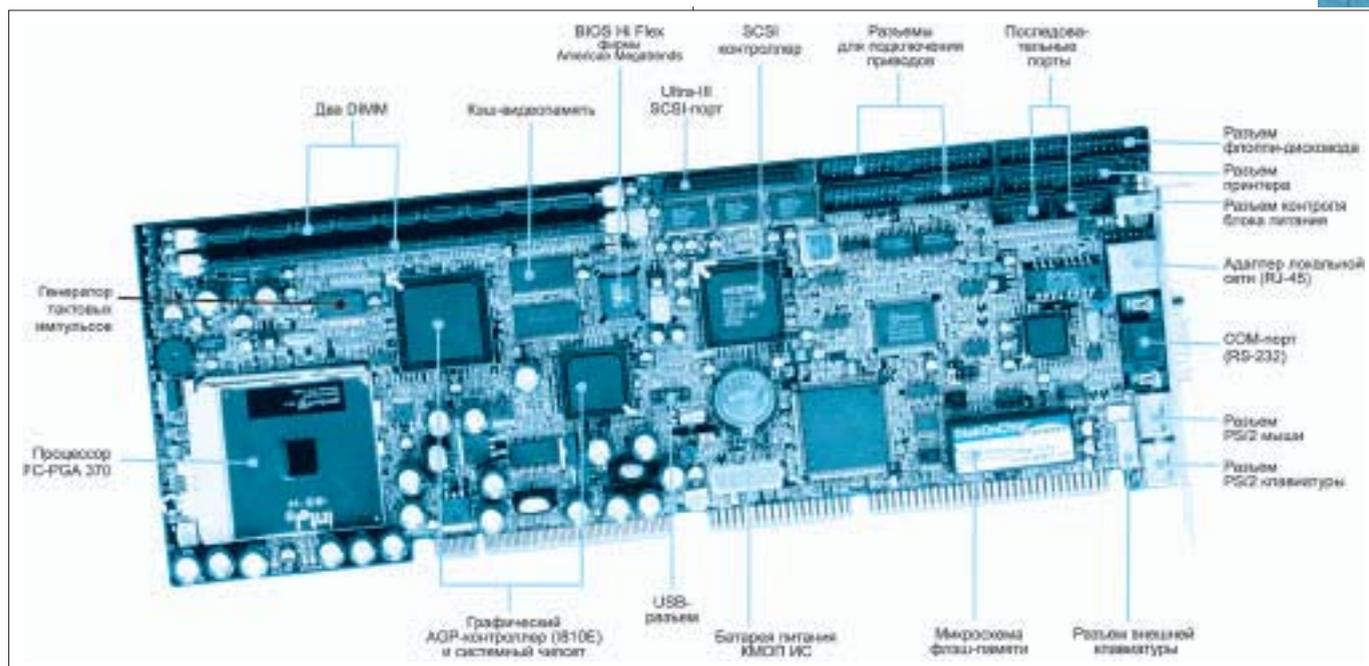


Рис.9. ЦОС-модуль ROBO 658

(фирмы Alptech Logic Products) с 16 PCI-разъемами и две платы компании Portwell – 19-слотовые ACTI-18AH и PBP-19AI с 17 и 18 PCI-разъемами, соответственно. В СНГ стоимость наиболее приемлемой по числу PCI-слотов платы PBP-19AI составляет ~350 долларов.

Особенность рассмотренных несущих плат PICMG-спецификации – наличие специальных разъемов для установки промышленного варианта платы управляющего процессора, например на базе Pentium-III, позволяющего реализовать помимо хост-функций многоканальное цифровое диаграммообразование в темпе формирования результатов дополнительного стробирования отсчетов АЦП. Pentium-несущие модули зарубежных фирм сейчас широко представлены на рынках СНГ. Для реализации действующего макета системы ЦДО можно рекомендовать полнофункциональный PCI/ISA-совместимый модуль ROBO-658 (рис. 9) компании Portwell. По сути это – продвинутый аналог обычных материнских плат персональных компьютеров, но предусматривающий, в отличие от них, возможность установки в PICMG-Backplane. ROBO-658 рассчитан на установку процессора Pentium-III (FC-PGA) с тактовой частотой до 1 ГГц и содержит два 168-контактных DIMM-разъема для размещения СДОЗУ емкостью до 512 Мбайт. Он включает AGP VGA-адаптер с видео-ОЗУ емкостью 4 Мбайт, два IDE-контроллера ATA66 для подключения винчестеров и приводов CD/RW(ROM), порты для флоппи-дисквода, принтера, COM-порты, Ultra-III SCSI-разъем (скорость передачи данных до 160 Мбайт/с) и, наконец, 10/100BaseT Ethernet-порт для реализации локальной сети со скоростью обмена до 100 Мбит/с. Предусмотрена возможность установки микросхемы 288-Мбайт флэш-памяти для записи программного обеспечения или экспериментальных данных. Диапазон рабочих температур модуля 0–55°C. Основное питающее напряжение +5 В с токовой нагрузкой до 6 А, кроме того, используются напряжения ±12 В. Ориентировочная стоимость платы ROBO-658 без процессора – свыше 900 долларов.

Для обработки сигналов в реальном масштабе времени на протяжении длительного периода необходимо предусмотреть извлечение накопленной в ROBO-658 информации о сформированных вторичных каналах приема с передачей ее на измерители. Идеальное решение – установка сетевой карты с пропускной способностью 1 Гбит/с (протокол 1000Base-TX(SX)) в один из двух PCI-разъемов несущей платы

PBP-19AI, оставшихся после размещения 16 модулей ЦОС. В этом случае локальная сеть по темпу обмена данными оказывается практически сопоставимой с PCI-шиной. Так, оптоволоконный интерфейс Fibre Xtreme Simplex Link фирмы Systran обеспечивает скорость обмена 1,062 Гбит/с, что лишь немного уступает теоретической пропускной способности шины PCI v. 2.1, а дальность связи достигает 10 км. Стандартный вариант интерфейса имеет 32-Кбайт буфер, что позволяет организовать асинхронный обмен данными. Встроенный адаптер прямого доступа в память обеспечивает предельный темп обмена сетевой карты с ОЗУ хост-процессора практически в фоновом для него режиме.

На российском рынке представлены аналогичные сетевые карты фирм 3COM, D-Link, Intel и других. Однако дешевле применять карты с протоколом 1000Base-TX, рассчитанным на соединение по медному кабелю пятой категории длиной до 100 м. Стоимость таких сетевых модулей (типа 3C996-T фирмы 3Com, PWLA8490T фирмы Intel) – 170–185 долл. [14]. Переход же к оптоволокну поднимает цену адаптеров до 330–730 долл. в зависимости от производителя. Исходя из ситуации трехлетней давности, когда самую скоростную (100 Мбит/с) сетевую магистраль поддерживал протокол FastEthernet 100Base-TX, можно предположить, что в ближайшее время номенклатура соответствующего сетевого оборудования, поставляемого по более низким ценам, будет расширена и в других регионах СНГ.

Сегодня пока трудно судить о возможном динамическом диапазоне цифровых приемных устройств, выполненных на основе рассмотренных модулей. Качественную сторону их функционирования в составе многоканальных комплексов можно реально оценить только при непосредственном исследовании работоспособности модулей по те-

Таблица 3. Стоимость субмодулей Ballyriff, Ballydac и ЦОС-модулей

Интерфейс/ЦОС-модуль	Цена, тыс. долл.	
	минимальная	максимальная
Ballyriff	4,378 (FPGA XCV400-6)	12,904 (FPGA XCV2000E-8)
Ballydac	4,076 (FPGA XCV600E-6)	12,981 (FPGA XCV2000E-8)
Комплект ЦОС-модулей для восьмиземельной приемной ЦАР	>23,5	60,6
восьмиземельной передающей ЦАР	22,3	60,9
шестигранной приемопередающей ЦАР	>275 (с учетом несущей PCI-платы)	730
цилиндрической 8x8 ЦАР	>367	-973

стовым сигналам. Изучение разработок фирмы "Пульсар Лтд." показало сложность устранения импульсных помех от источника питания компьютерного шасси, приводящих к наводкам в линии тактовых сигналов АЦП. В ответственных случаях эту проблему можно решить за счет применения линейных стабилизаторов напряжения питания ЦОС-модулей. Но, как правило, основное влияние оказывают оптимизация конфигурации и схемотехники АЦП-узлов, а также тщательный подход к выбору стратегии "заземления".

Один из последних CompactPCI-модулей XDSP-3MC фирмы Scan Engineering Telecom, содержащий четыре 12-разрядных АЦП AD9432, ПМЛЭ Xilinx и процессор TMS 320C62 (рис. 10), можно считать заявкой на последующий перенос подобных решений на PCI-платы. Перевод на протокол PCI v.2.2 с возможным отказом от процессора, как избыточного, позволит реализовать 32-канальные унифицированные блоки для построения плоских ЦАР в конфигурациях 2x32, 4x32, 8x32 и более элементов. Подтверждением эффективности отказа от процессора служит модуль-рекордсмен XDSP-16CP той же фирмы, в котором впервые для CompactPCI-шины установлено 16 независимых восьмиразрядных АЦП AD9288 с частотой дискретизации 100 МГц.* К сожалению, небольшой динамический диапазон АЦП существенно ограничивает область применения этого модуля. Тем не менее, такой прорыв в канальности высокоскоростного АЦП-модуля достаточно показателен и позволяет говорить о безоговорочном преимуществе FPGA-подхода.

Как следует из приведенных рассуждений, дальнейшее наращивание числа каналов платы PCI-Bakcrplane свыше 32 может быть неоправданным для высокоскоростных приложений из-за недостаточной производительности PCI-шины. Преодоление 64-канального рубежа при все тех же 3-мкс ограничениях на обработку представляется возможным только с переходом на более скоростные протоколы обмена. В этой связи, наряду с упоминавшимися разработками Arizona Digital, достаточно привлекательна идея использования новых скоростных версий последовательного интерфейса IEEE1394, первой в ряду которых стала IEEE1394b, обеспечивающая гарантированное соединение и передачу данных между устройствами на расстояние до 100 м со скоростью до 3,2 Гбит/с (в зависимости от применяемого типа соединения – меди, оптоволокна и т.п.) [15]. Это решение представляется более выигрышным, чем использование в последних разработках Scan Engineering Telecom стандарта LVDS (пиковая пропускная способность 1,82 Гбит/с по одному каналу) [16]. Производители чипов, в том числе Texas Instruments, планировали выпустить контроллеры с IEEE1394b-интерфейсом в конце 2001 года. Пока неясно, насколько сложно выполнение этих контроллеров в ПМЛЭ фирмы Xilinx, но в любом случае многоканальная система с ЦДО на базе протокола IEEE1394b представляется вполне реализуемой.

ЦОС-модули с интегрированным в ПМЛЭ IEEE1394b могут быть выполнены в унифицированном варианте под любой конструктивный фактор (6U VME, 3U VME, 3U CompactPCI и т.п.). Цифровой же диаграммоформирователь вместе с IEEE1394b-интерфейсом и хост-процессором – достаточно специфичный узел, и на первых порах он должен быть заказным. При этом процедура цифрового формирования лучей, например на основе БПФ, также имеет смысл выполнять в ПМЛЭ. Возможность передачи цифровых сигналов на десятки метров при такой схе-

*Этот рекорд фирмы Scan Engineering Telecom продержался лишь несколько месяцев. В августе 2001 года на сайте Nallatech появилось сообщение о создании аналогичного модуля Benadic с 20-ю 14-разрядными АЦП на частоту такта до 105 МГц. Поскольку CompactPCI-решения де-факто – основа построения европейских телекоммуникационных систем, несложно прийти к выводу о начале серьезной подготовки производителей к серийному выпуску оборудования базовых станций с ЦАР. CompactPCI-подход может стать ключевым и в уже отлаженных системах hi-fi-класса. PCI-концепция больше ориентирована на опытное, демонстрационное оборудование и оборудование, основное требование к которому – высокий показатель эффективности-стоимость, а не стойкость к промышленным условиям эксплуатации.

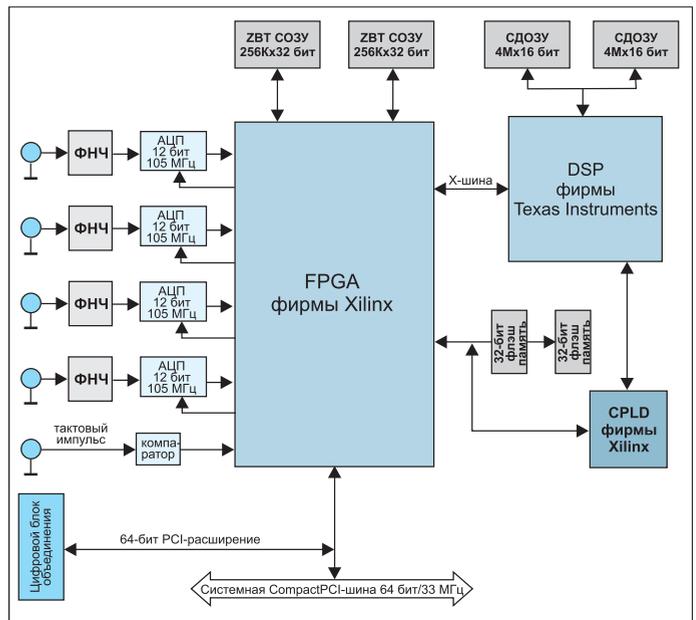


Рис. 10. CompactPCI-модуль XDSP-3MC Scan Engineering Telecom

мотехнике предоставляет больше свободы в конструктивном исполнении РЛС или базовой станции сотовой связи по сравнению с оцифровкой сигналов в непосредственной близости от полотна ЦАР.

В заключение следует отметить, что изложенные выше рекомендации по выбору элементной базы для перспективных систем с многоканальной цифровой обработкой сигналов и ЦДО – первая попытка систематизированного обобщения фактического материала, полученного в ходе изучения мирового рынка компонентов цифровой радиоэлектроники. Динамика его изменения может уже в ближайшем будущем внести коррективы в сделанные выводы и обоснования. Однако нет сомнений, что большинство этих изменений будут направлены на реализацию больших возможностей за меньшую стоимость.

ЛИТЕРАТУРА

1. Слюсар В.И. Цифровые антенные решетки – будущее радиолокации. – Электроника: НТБ, 2001, № 3, с. 42 – 46.
2. Слюсар В.И. Цифровое формирование луча в системах связи: будущее рождается сегодня. – Электроника: НТБ, 2001, № 1, с. 6 – 12.
3. VMEbus Frequently Asked Questions (FAQ). – www.vita.com/vme-faq/index.html.
4. Drew Berding. VMEbus: A Legacy with a Future. – RTC MAGAZINE, Nov. 1998 – www.arizonadigital.com/Legacy.pdf.
5. www.mcg.mot.com/WebOS/omf/GSS/MCG/news/display_press.html?qrec=0000094.
6. Drew Berding. Extending CompactPCI to 21-Slots. – Arizona Digital, Inc., May 5, 1999. – www.arizonadigital.com./Cpci21.pdf.
7. Буткевич В., Куликов В. Универсальные платы АЦП для шины PCI. – Chipnews, 1999, № 7.
8. Субмодуль цифрового приёма Admddc2wb. Руководство пользователя. – М: АО "Инстр. Системы". – 1999.
9. Модуль ЦОС ADP62PCI. Руководство пользователя. – М: АО "Инстр. Системы". – 1999.
10. Патент № 2103768 РФ, МПК H01Q 3/36, 29/10. Способ коррекции амплитудно-фазовых характеристик первичных каналов плоской цифровой антенной решетки/Слюсар В.И., Покровский В.И., Сахаров В.Ф. – Заявл. 16.10.92 г. – Оpubл. 27.01.98 г. – БИ № 3.
11. Модуль цифровой обработки сигналов XDSP-3mc. Техническое описание. – Scan Engineering Telecom. – www.setltd.com.
12. www.nallatech.com.
13. www.alptech.com.
14. www.abn.ru/files/ABNPRICE.ZIP.
15. Junko Yoshida. Speedy 1394b release may outpace USB 2.0//EE Times. – May 18, 2001. – www.siliconstrategies.com/story/OEG20010518S0051.
16. Модуль высокоскоростной передачи данных в стандарте LVDS SETLINK-22TL. – Scan Engineering Telecom. – setltd.com/products/instrumental/CPCI/setlink22tl/.

Все знают, что ВЧ означает высокочастотные, а МЭМС – микроэлектронные механические системы. Но зачем придавать механическим системам высокочастотные характеристики? Ведь полупроводниковая революция уже привела к исчезновению медленных и "шумных" механических реле, переключателей и громоздких конденсаторных сборок. И возврат к ним, пусть и миниатюрным, может быть воспринят как шаг назад. Тем не менее, создание ВЧ МЭМС не очередное экстравагантное решение проблемы совершенствования ВЧ-систем.

Уже много лет высшие учебные заведения и государственные организации ведут разработку ВЧ активных и пассивных МЭМС. Более всего в этой области продвинулись военные программы. Создание МЭМС индуктивностей и конденсаторов дает разработчикам базовые элементы фильтров, резонаторов, развязывающих устройств, циркуляторов и других обычных компонентов радиотехнических систем. Сегодня к ВЧ МЭМС обратились и производители коммерческой аппаратуры. Специалистами Nokia создан ряд пассивных ВЧ МЭМС, в том числе схема согласования, включающая конденсаторный мост и высокодобротный элемент индуктивности. Схемы предназначены для будущих беспроводных телефонов, работающих в многомодовом/многочастотном диапазоне.

Еще большее внимание разработчиков привлекают активные ВЧ МЭМС. Здесь следует отметить перестраиваемый конденсатор, который легко получить, сформировав подвижную обкладку, позволяющую изменять зазор между ней и фиксированной пластиной и тем самым регулировать значение емкости. Такой конденсатор весьма перспективен для создания перестраиваемых фильтров, антенн, фазовращателей, резонаторов и т.п. Применение ВЧ МЭМС позволит получать приборы с высокой добротностью, а следовательно, и узкополосные устройства с малой потребляемой мощностью, низкими вносимыми потерями, высоким быстродействием и повышенной надежностью. Но, как всегда, без проблем не обойтись. И основная из них – корпусирование МЭМС. Подвижные детали этих приборов столь малы, что на их работу могут влиять даже молекулы воздуха. Это значит, что МЭМС следует монтировать в герметичные вакуумные корпуса. Но можно ли создать достаточно дешевый вариант такого корпуса? Тем не менее, с решением всех проблем формирования ВЧ МЭМС можно надеяться, что в будущем эти системы заменят все пассивные ВЧ-элементы радиоаппаратуры. Настройтесь на МЭМС-настройку.

Electronic Packaging and Production, Nov. 2001

Управление поставками электроэнергии

По всем регионам стран СНГ прошли так называемые веерные отключения электрической энергии. Не избежали их даже относительно благополучные Московская и Ленинградская области. Оградить абонентов от таких массовых отключений сможет гибкая система учета и управления поставками электрической энергии, построенная на базе предлагаемого зеленоградским ООО "АКТОР" (info@aktor.ru) комплекса технических средств. Система, в соответствии с градациями персональной аварийной брони, обусловленными договорными отношениями, обеспечивает на уровне отдельного абонента дистанционное селективное и дифференцированное оперативное ограничение по потребляемой мощности и, при необходимости, полное оперативное отключение отдельных потребителей (например, из-за окончания лимита по оплате).

Комплекс технических средств системы выполнен на интеллектуальных модулях, макеты которых экспонировались на выставке "ИНЭЛ-2001". Внедрение этих модулей радикально снизит объем хищений электроэнергии. Встроенные в них микропроцессоры и элементы силовой электроники позволяют осуществлять на аппаратном уровне следующие функции:

выставка "ИНЭЛ-2001"

- прецизионное альтернативное измерение электроэнергии в контрольных точках электрической сети (микрочипы фирмы Analog Devices);
- тарификацию и контроль штатного использования коммерческих приборов учета (микропроцессоры PIC);
- цифровые коммуникации по силовым сетям и сопряжение с индукционными счетчиками (микросхемы фирмы "Ангстрем");
- защиту и оперативную коммутацию силовых цепей (силовые электронные энергомодули, вакуумные контакторы).

Экспонируемые макеты электронных модулей – это первые разработки компонентов, позволяющих создавать гибкие по конфигурации системы учета и управления поставками электроэнергии нового поколения. Ядро систем – компактный интеллектуальный энергоизмерительный модуль, размещаемый непосредственно на фазе энергоустановки и содержащий (при необходимости) элемент силовой коммутации. Информационный обмен с модулем осуществляется по силовому фазному проводу.

Разработка выполнена по техническому заданию Государственного коммунального предприятия "Рудненская электросетевая компания".

Кто больше?

На повестке дня SiGe-транзисторы

Многие годы считалось, что быстродействие кремниевых транзисторов определяется ограничением Джонсона, согласно которому произведение частоты отсечки f_T на напряжение пробоя V_{Br} не может превысить 200 ГГц·В. Но еще в июне 2001 года IBM объявила о создании SiGe-транзистора с частотой отсечки 210 ГГц и напряжением пробоя 1,8 В. т.е. с произведением $f_T \cdot V_{Br} = 370$ ГГц·В. Время переключения транзистора составляет 1 пс. Это значит, что тактовая частота может достичь 100 ГГц. Высокое быстродействие получено благодаря значительному уменьшению вертикальных размеров структуры. С помощью так называемой низкотемпературной эпитаксии разработчикам удалось вырастить чрезвычайно тонкие пленки кремния-германия, и в результате "высота" структуры, выполненной по 0,18-мкм технологии, равна всего 0,05 мкм.

Но уже в конце 2001 года фирма Copehant объявила о создании SiGe-транзистора, превосходящего, по ее утверждению, прибор IBM. Правда, частота отсечки транзисторов, изготавливаемых по 0,18-мкм БикМОП-технологии SiGe200, равна 160 ГГц. Однако предельная их частота F_{max} составляет 150 ГГц против всего 70 ГГц (по утверждению специалистов Copehant) у транзисторов фирмы IBM. При этом разработчики Copehant считают, что F_{max} более точно характеризует прибор, поскольку это наибольшая частота, на которой наблюдается усиление по мощности, тогда как f_T – это частота, на которой коэффициент усиления по току равен 1. Таким образом, F_{max} зависит от таких параметров, как сопротивление и емкость базы, а также шумы системы, т.е. она более полно отражает быстродействие транзистора, тогда как для получения высокой f_T достаточно утончить эпитаксиальный слой базы и тем самым уменьшить время пролета носителей до коллектора. В ответ вице-президент IBM, ответственный за исследования в области средств связи и один из основных разработчиков

SiGe-технологии, Бернард Мейерсон отмечает, что значение F_{max} в значительной степени зависит от условий измерения и может, в отличие от f_T , изменяться в широких пределах. Как отмечают аналитики компании Pathfinder, обе стороны правы, но пока SiGe-транзисторы предназначены для систем связи, работающих со скоростью передачи 40 Гбит/с, и поэтому нет никакой нужды, чтобы f_T или F_{max} лежала в диапазоне 200 ГГц.

Тем временем, пока крупнейшие разработчики SiGe-технологии выясняют отношения, фирма Hitachi на конференции IEDM сообщила о разработке транзистора на базе кремний-германия с наибольшими добавками углерода (SiGeC HBT). Цель исследования этого материала – устранение проблемы ухудшения характеристик SiGe-транзисторов после термообработки при изготовлении БикМОП-микросхем. Но получить самосовмещенный процесс эпитаксиального роста SiGeC-пленок до сих пор не удалось. Разработчики Hitachi справились с этой проблемой с помощью двух технологических методов. Первый предусматривает селективное эпитаксиальное выращивание монокристаллического SiGeC на кремниевой подложке с помощью химического осаждения из паровой фазы при сверхвысоком вакууме. Второй метод обеспечивает самосовмещенный процесс с использованием селективного эпитаксиального роста. Новая технология позволяет обойтись без дополнительных шаблонов и этапов маскирования, а также снизить паразитные параметры транзистора.

Hitachi намерена выпустить первые коммерческие образцы SiGeC HBT уже в 2002 году. IBM и Copehant же рассчитывают освоить производство новых устройств на базе ВЧ SiGe-транзисторов в 2003-м. При этом Copehant планирует передать лицензию на новую технологию SiGe200 крупнейшему кремниевому заводу – фирме Taiwan Semiconductor Manufacturing Co (TSMC).

www.siliconstrategies.com/story/OEG200112070082