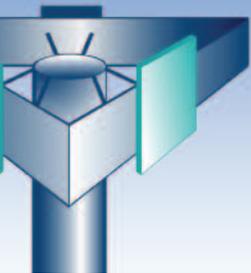


СХЕМОТЕХНИКА ЦИФРОВЫХ АНТЕННЫХ РЕШЕТОК ГРАНИ ВОЗМОЖНОГО

Опыт проектирования цифровых антенных решеток (ЦАР) для систем связи и радиолокации показывает, что этот процесс состоит из непрерывной череды компромиссов между показателями эффективности и стоимости, требуемыми техническими характеристиками и возможностями элементной базы. Когда-нибудь решение этих проблем неизбежно станет уделом систем искусственного интеллекта, но пока разработка радиотехнических приложений на базе ЦАР требует высочайшей квалификации и, по сути, является искусством возможного. Какие же технические характеристики ЦАР могут быть сегодня реализованы, если сделать ставку на существующие схемотехнические решения?



В.Слюсар

налов (рис. 1, 2). Эти решения легко использовать и в передающих ЦАР путем замены АЦП цифроаналоговыми преобразователями (ЦАП). Построение получаемых в результате многоканальных цифровых передающих модулей (МЦПдМ) аналогично построению многоканальных цифровых приемных модулей (МЦПМ), поэтому имеет смысл подробно остановиться преимущественно на схемотехнике приемного сегмента ЦАР.

При использовании для обмена данными между унифицированными платами МЦПМ и модулем управляющего компьютера (CPU) 64-бит/33-МГц шины PCI в режиме Master скорость информационного потока составляет 200 Мбайт/с (1,6 Гбит/с). Если такая пропускная способность удовлетворяет требованиям, структурная схема цифрового приемного сегмента радиотехнической системы с ЦАР, например в конфигурации 8x4 элементов будет иметь вид, представленный на рис.3. При таком построении данные в ОЗУ управляющего компьютера загружаются по шине PCI с четырех модулей МЦПМ, содержащих для квадратурной оцифровки сигналов 16 АЦП каждый. Весь необходимый комплект PCI-плат, включая синхронизатор, может быть размещен в одном типовом корпусе с шестью слотами шины CompactPCI.

При обработке сравнительно коротких импульсных сигналов, например с длительностью 1,23 мкс, как в стандарте связи CDMA-95, пропускная способность 64-бит/33-МГц PCI-шины может оказаться недостаточной для обеспечения работоспособности

Чтобы унифицировать программное обеспечение с компьютерами линии PC, получить высокую пропускную способность шинного интерфейса и максимально расширить сферы применения аппаратных решений [1], промышленное исполнение цифрового сегмента обработки сигналов в ЦАР сегодня целесообразно осуществлять на основе шинного интерфейса стандарта CompactPCI (CPCI). Такой интерфейс может использоваться в качестве системообразующего протокола, обеспечивающего передачу управляющих команд процессорных модулей, а при условии достаточности пропускной способности – и межмодульный обмен данными.

Сейчас среди лучших технических решений в CPCI-стандарте на мировом рынке по-прежнему наиболее приспособлены для выполнения задач цифрового диаграммообразования (ЦДО) в приемных антенных решетках платы многоканальной оцифровки радиочастотных сигналов компании NallaTech (Великобритания), Scan Engeneering Telecom (Россия) и ООО "Пульсар" (Украина). Их особенность – установка на несущей CompactPCI-плате 6U формата 16 и более независимых каналов радиочастотного ввода с разрядностью АЦП 12–14 бит и частотой дискретизации до 100 МГц, а также применение ПЛИС типа FPGA фирмы Xilinx для многоэшелонной цифровой обработки сиг-

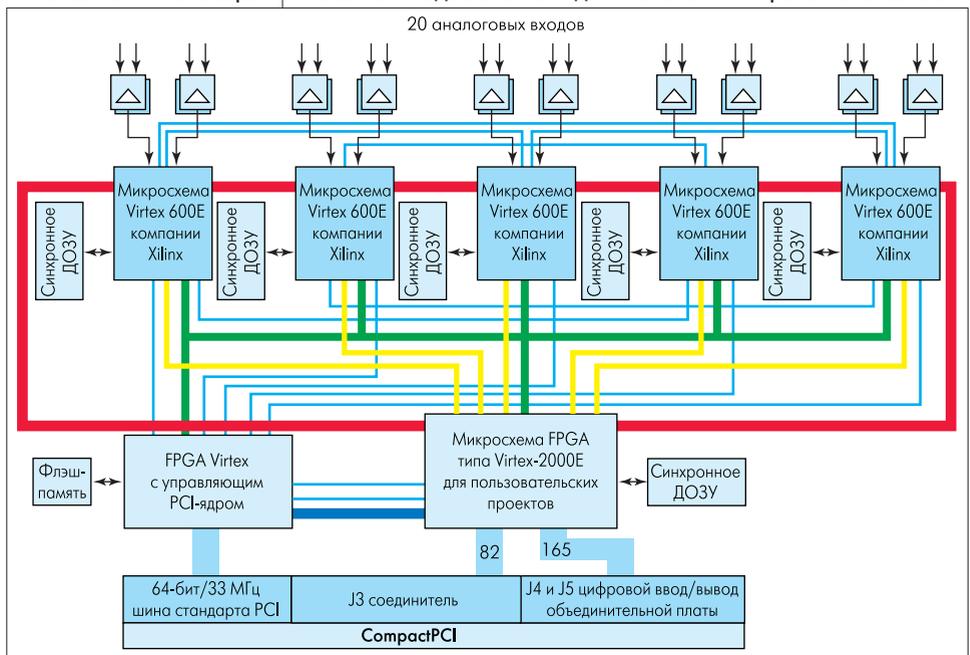


Рис. 1. Структурная схема модуля Venadic фирмы NallaTech, содержащего 20 АЦП, [2]. Характерно, что в одной ПЛИС параллельно обрабатываются отсчеты нескольких АЦП

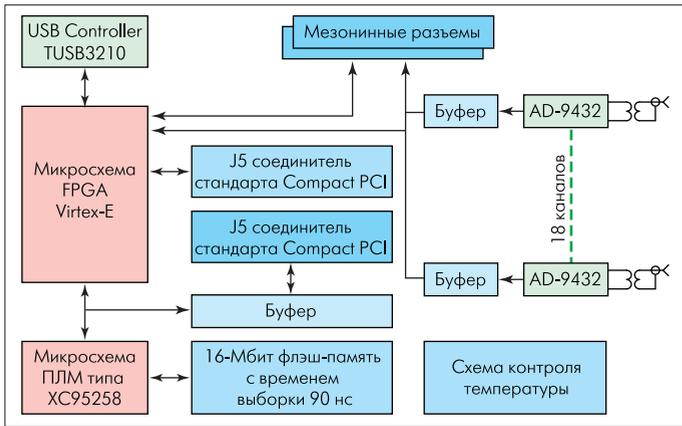


Рис.2. Функциональная схема типового МЦПМ компании Scan Engineering Telecom [3]

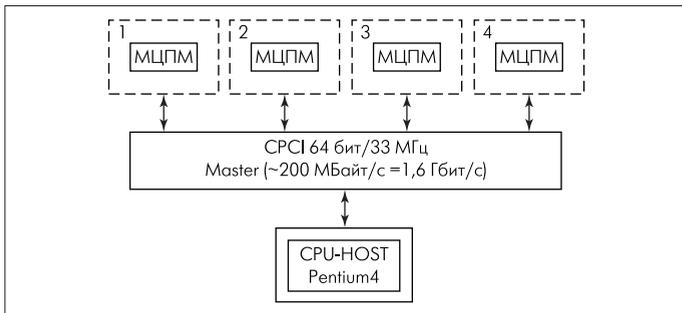


Рис.3. Вариант схемы цифрового приемного сегмента радиотехнической системы с ЦАР

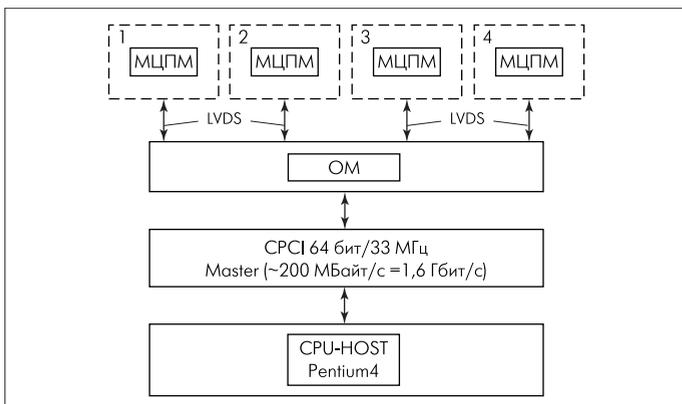


Рис.4. Вариант приемного сегмента ЦАР, реализованный компанией Scan Engineering Telecom для обеспечения работоспособности в реальном времени

Более радикальное решение, реализованное специалистами Scan Engineering Telecom (Россия), основано на применении специального объединительного модуля (ОМ), играющего роль связующего звена между платами МЦПМ и управляющим компьютером (рис.4). Использование объединительных плат с модулями цифровой обработки сигналов на ПЛИС серии Virtex-II типа SETLINK [5] – весьма перспективное схемотехническое решение, выгодно отличающее продукцию компании Scan Engineering Telecom от ближайшего конкурента – NallaTech. Связь между МЦПМ и ОМ в схемотехническом решении Scan Engineering Telecom осуществляется по оптоволоконной гальванически развязанной линии, что позволяет минимизировать влияние цифровой части на аналоговый сегмент МЦПМ. При этом реализованный протокол LVDS позволяет достичь пропускной способности, эквивалентной пропускной способности 64-бит/33-МГц CPCI, а благодаря распараллеливанию загрузки данных одновременно со всех МЦПМ общий выигрыш в производительности, по сравнению с приемным сегментом ЦАР с CPCI, пропорционален числу задействованных плат МЦПМ и каналов последовательной передачи. На основе анализа структуры ОМ типа SETLINK можно сделать вывод о возможности реализации с помощью такого модуля не только шлюзов “МЦПМ – управляющий компьютер”, но и о возможности выполнения операции цифрового диаграммообразования, а также синтеза частотных фильтров по каждому из пространственных лучей цифровой характеристики направленности (ХН) для поддержки связных протоколов, использующих метод ортогональной частотной дискретной модуляции (OFDM). В передающем сегменте ЦАР ОМ может выполнять процедуры обратного БПФ для формирования OFDM-фреймов, а по заданным угловым координатам абонентов – рассчитывать межканальные фазовые сдвиги сигнальных пакетов для ориентации максимумов ХН передающей ЦАР в заданных направлениях.

Применение объединительных плат, подобных SETLINK (рис.5), облегчает построение более сложных радиотехнических систем с ЦАР, чем при использовании приемных сегментов типа, приведенного на рис.3. При этом весь комплект – МЦПМ, МЦПдМ, ОМ и модуль CPU – может быть размещен в одном крейте шины CPCI с 16 слотами, соединенными для соблюдения нормативной нагрузочной способности через развязывающие мосты. Платы ОМ и управляющего компьютера имеет смысл устанавливать в слоты первичного сегмента шины (Primary Bus), а модули МЦПМ (МЦПдМ) – преимущественно в слоты вторичного сегмента (Secondary Bus). При таком построении шина CPCI в модулях МЦПМ (МЦПдМ) используется только для подачи напряжений питания, управляющих сигналов, а также для загрузки рассчитанных CPU коэффициентов коррекции

приемного сегмента ЦАР в реальном масштабе времени. В определенной мере решение этой проблемы – модификация МЦПМ на частоту шины CPCI 66 МГц. Соответствующие кросс-платы имеются на рынке, хотя они и рассчитаны, как правило, всего на четыре-пять слотов. Пример – плата Backplane OSS-BP-6U-5-L фирмы One Stop Systems (США), цена которой, приводимая на сайте производителя, составляет 660–695 долларов [4].

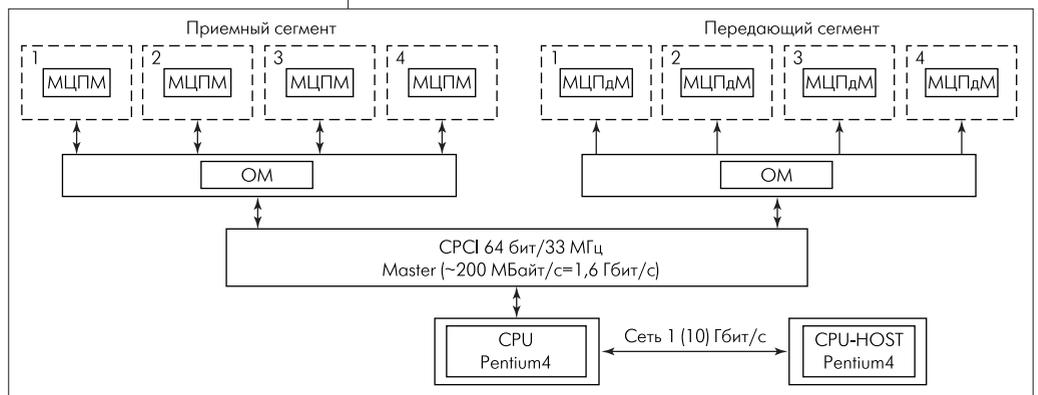


Рис.5. Структурная схема блока, пригодного для обработки сигналов передающей и приемной решеток (две платы ОМ) четырехсекторной ЦАР базовой станции сотовой связи с восемью приемными и передающими каналами в каждом сегменте сектора

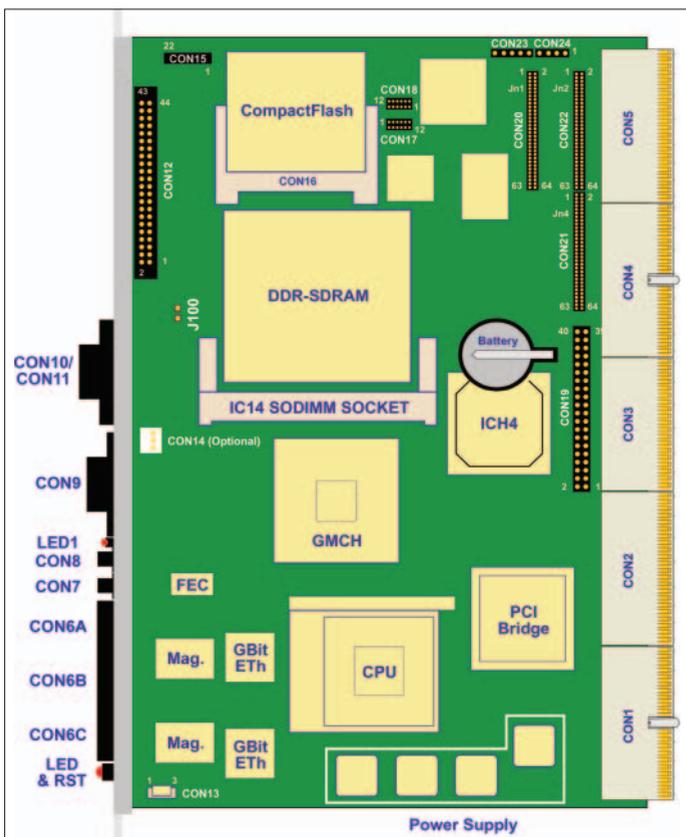


Рис.6. Современная PCI-плата для процессора Pentium IV

квадратурных погрешностей [6] и характеристик приемных (передающих) каналов. С учетом выпускаемых промышленностью типовых крейтов блок, приведенный на рис.5, может использоваться для обработки сигналов четырехсекторной ЦАР, содержащей до 16 антенных элементов в каждом секторе. Для этого потребуются 21-слотовое несущее шасси, в котором будут установлены восемь восьмиканальных плат МЦПМ, восемь плат МЦПдМ аналогичной емкости, две платы ОМ, синхронизатор и модуль управляющего процессора CPU. Типовой конструктив современной PCI-платы для процессора Pentium IV приведен на рис.6.

Серьезной проблемой, ограничивающей применение рассмотренных решений в многоэлементных ЦАР, является энергопотребление плат МЦПМ (МЦПдМ), достигающее нескольких десятков ватт. Неслучайно ряд фирм, в частности Performance Technologies [7], в последнее время специализируются на производстве PCI-крейтов (корпусов) с батареей блоков питания и мощными вентиляторными секциями. При этом предельная нагрузка одного слота PCI в таких шасси в среднем не превышает 50 Вт и лишь для одного-двух слотов (как правило, процессорных) может достигать 70–80 Вт. Удачной для реализации ЦАР является платформа ZT 5088e 12U [7] компании Performance Technologies, содержащая 21 слот PCI для плат формата 6U, каждый из которых поддерживает протокол 64 бит/66 МГц (рис.7). При этом все слоты могут быть сгруппированы в один, два или четыре сегмента, содержащих по одному системному слоту. Питание крейта обеспечивают восемь встроенных блоков питания с номинальной мощностью до 350 Вт каждый, гарантирующих благодаря продуманной схеме вентиляции длительную работу системы с нагрузкой 50 Вт на один слот. Подобные PCI-крейты выпускает и фирма Kontron, которую на российском рынке представляет компания РТсофт [8].

Для реализации более продвинутых плоских либо многосегментных приемопередающих ЦАР даже в 21-слотовых, не говоря

о 16-слотовых, крейтах не удастся разместить весь необходимый комплект модулей обработки сигналов. В этом случае нужно использовать многокрейтовую конструкцию, вариант структурной схемы которой приведен на рис.8. При этом для обмена данными между модулем хост-процессора и платами управляющих процессоров каждого крейта целесообразно использовать локальную сеть с пропускной способностью не менее 1 Гбит/с (во всех последних платах под Pentium IV имеются соответствующие интегрированные адаптеры), а в перспективе и 10 Гбит/с. Такой подход приемлем и при меньшем числе приемопередающих каналов ЦАР, если по каким-либо соображениям применение многослотовых шасси нежелательно (например, из-за больших токовых нагрузок).

Один из основных источников выделяемой мощности в МЦПМ (МЦПдМ) – микросхемы АЦП (ЦАП). Так, одна микросхема АЦП AD6645 потребляет до 1,75 Вт, а при размещении на одной плате 16 таких микросхем рассеиваемая мощность достигает 28 Вт. Выход из этого тупика – применение интегрированных решений, суть которых сводится к размещению в одном корпусе нескольких быстродействующих 12–14-бит АЦП (ЦАП). Примером может служить микросхема сдвоенного 14-бит АЦП типа AD9248 компании Analog Devices (рис.9) [9]. При потребляемой мощности 600 мВт на корпус и тактовой частоте каждого из двух преобразователей 65-МГц микросхема AD9248 оцифровывает сигнал с полосой до 500 МГц по дифференциальному входу. Свободный от искажений динамический диапазон (SFDR) составляет 85 дБс (85 дБ по отношению к несущей), а отношение сигнал–шум – около 75 дБ. При этом заметно уменьшены и габариты корпуса микросхемы.

Появление на рынке АЦП AD9248 позволяет модернизировать рассмотренные выше платы МЦПМ для оцифровки комплексных аналоговых сигналов 16 антенных элементов. Это потребует размещения на одной плате МЦПМ 16 таких микросхем и соответствующей компоновки разъемов для аналоговых входов. В результате, несмотря на увеличение числа каналов вдове, рассеиваемую сегментом АЦП мощность удастся снизить более чем в два раза по сравнению с платой на базе 14-бит АЦП типа AD 6545. Следует отметить, что такой разительный прогресс уже не является пределом. Еще более продвинутое схемотехническое решение позволило разработчикам компании Analog Devices создать счетверенные 12-бит АЦП типа AD9229 (рис.10) [10]. В каждом канале микросхемы, так же, как и в AD9248, при тактовой частоте 65 МГц может выполняться оцифровка дифференциальных аналоговых сигналов с граничной полосой 500 МГц. При этом рассеиваемая одним каналом мощ-

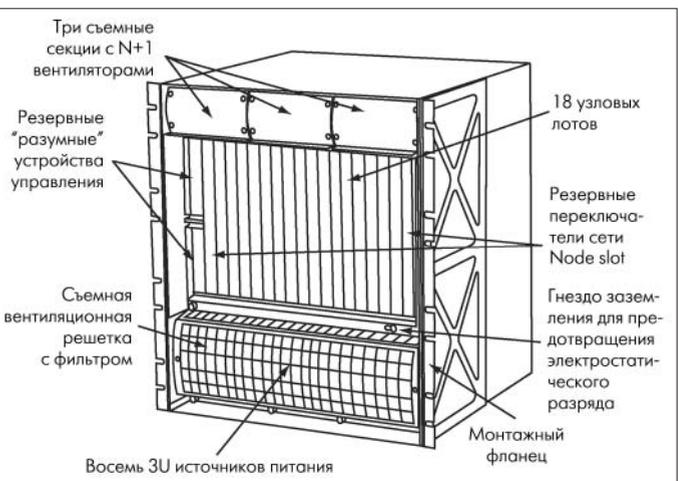


Рис.7. Внешний вид PCI-крейта модели ZT 5088e компании Performance Technologies

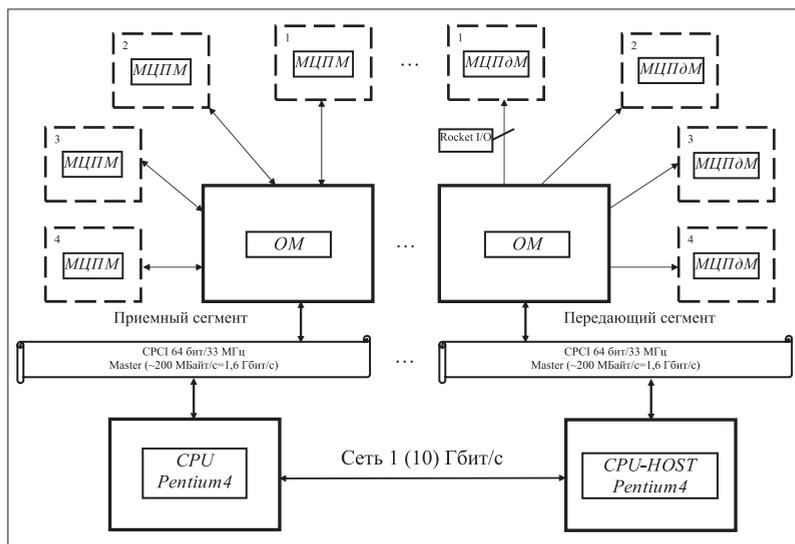


Рис.8. Структурная схема многокрейтовой конструкции

ность составляет 270 мВт, что меньше, чем у АЦП AD9248 (300 мВт).

АЦП AD9229 – первая многоканальная микросхема компании Analog Devices, в которой, подобно АЦП TC1210 фирмы Telasic [11], для выдачи результатов преобразования используются последовательные LVDS-каналы. Отношение сигнал–шум по выходу микросхемы составляет 70 дБ, поэтому, несмотря на проигрыш в разрядности, AD9229 может стать козырной картой в назревающем буме Smart-антенных решений [12]. Благодаря малым габаритам (7x7 мм) на плате МЦПМ формата 6U можно легко разместить 16 таких корпусов, что обеспечивает обработку одним модулем МЦПМ комплексных сигналов 32 антенных элементов. Аналогичную микросхему АЦП типа MAX1127 выпускает компания Maxim Integrated Products [13]. От четырехканальных АЦП фирмы Analog Devices MAX1127 отличается значительно меньшим энергопотреблением и сниженным уровнем джиттера (0,4 пс вместо 1 пс). При этом его тактовая частота также равна 65 МГц.

Четырехканальное построение АЦП с выдачей данных по последовательному интерфейсу LVDS по сути становится стандартным решением, однако подлинным достижением современной микро-

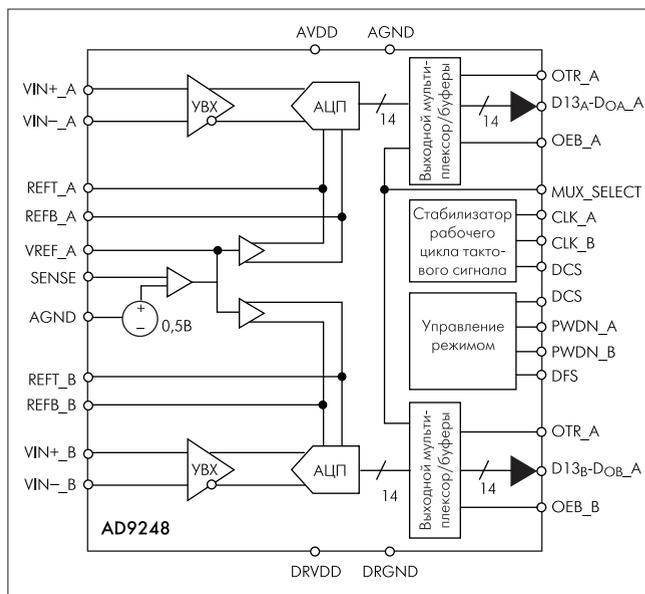


Рис.9. Функциональная схема АЦП типа AD9248 компании Analog Devices

электроники явились восьмиканальные 12-бит АЦП серии ADS527x компании Texas Instruments на тактовые частоты 40, 50, 65 и 70 МГц (рис.11) [14]. Причем речь идет не только об уникальном числе каналов, но и о низкой рассеиваемой мощности в пересчете на один канал АЦП. Эти микросхемы устраняют последние технологические преграды на пути массового внедрения ЦАП и делают цифровое диаграммообразование предельно доступной и экономически оправданной технологией (стоимость самой дорогой микросхемы ADS5273 с тактовой частотой 70 МГц в малых партиях составляет примерно 200 долларов).

Основные характеристики анонсированных фирмами Analog Devices, Maxim и Texas Instruments многоканальных 12-бит АЦП приведены в таблице. По-видимому, в ближайшее время можно ожидать появления аналогичных микросхем ЦАП.

Как известно, в системах связи, в отличие от радиолокационных, благодаря известным частотам сигналов и местоположению их источника (например, в радиорелейных средствах) на этапе декодирования сообщений возможно вещественное представление аналоговых сигналов. В схемотехническом плане это означает, что одна плата МЦПМ с восемью АЦП типа ADS5273 способна оцифровать выходы 64 антенных элементов, например ЦАП в конфигурации 4x16. Нетрудно подсчитать, что одной такой платы достаточно для обработки сигналов четырехсекторной приемной антенной системы базовой станции. Разумеется, для подключения подобного числа аналоговых каналов необходима конструкция формата 8HP, поскольку на лицевой панели МЦПМ нужно разместить 64 входных разъема.

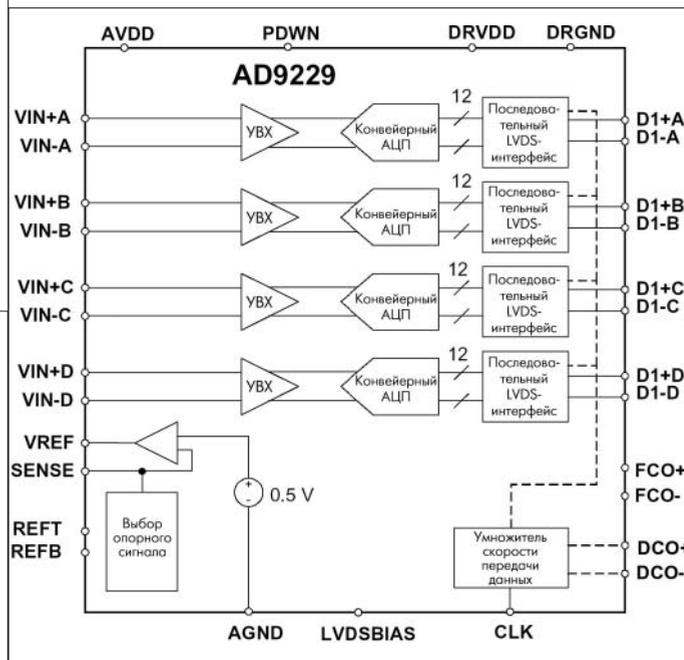


Рис.10. Структура микросхемы АЦП типа AD9229

Очевидно, для обработки столь огромного потока данных необходимы более продвинутые схемотехнические решения. При использовании многоканальных микросхем АЦП ограниченные габариты формата 6U вынуждают перейти к размещению в одном корпусе ПЛИС обработчика сигналов четырех и более микросхем АЦП. Такая интеграция возможна в случае применения нового поколения ПЛИС, таких как ПЛИС семейств Virtex II Pro, Virtex II Pro X и Virtex-4

Многоканальные 12-бит АЦП

Марка АЦП / производитель	Число каналов в одном корпусе	Максимальная частота, МГц		Рассеиваемая на одном канале мощность, мВт	Отношение сигнал-шум, дБ
		Такта	Аналогового сигнала		
AD4229BCP-65/Analog Devices	4	65	500	270	70
MAX1127/Maxim Integrated Products	4	65	100	135	69,6
MAX1126/Maxim Integrated Products	4	40	100	135	69,2
ADS 5270/Texas Instruments	8	40	420	113	70,5
ADS 5271/Texas Instruments	8	50	420	117	70,5
ADS 5272/Texas Instruments	8	65	420	123	70,5
ADS 5273/Texas Instruments	8	70	420	138	70,5

фирмы Xilinx [15]. Появление в портфеле Xilinx этих семейств FPGA существенно расширяет рамки возможного в системно- и схемотехнике цифрового сегмента ЦАП. Особенность архитектуры FPGA Virtex II Pro X и Virtex-4, выполненных, соответственно, по 0,13-мкм и 0,09-мкм технологиям, – наличие встроенных мультигигабитных трансиверов Rocket I/O и PowerPC-процессорных ядер [15]. В наиболее продвинутых микросхемах семейства Virtex-II Pro возможна интеграция до четырех ядер процессоров PowerPC 405 с рабочей частотой свыше 300 МГц, а также до 24 трансиверов с пропускной способностью каждого 3,2 Гбит/с. В серии Virtex II Pro X трансиверы интерфейса Rocket I/O поддерживают скорость передачи 10 Гбит/с, а в Virtex-4-FX – до 11,1 Гбит/с. Длина Rocket-интерфей-

сов с таким трафиком может достигать 0,5 м. При этом тактовая частота микросхемы семейства Virtex-4 составляет 500 МГц. Благодаря переходу к 0,09-мкм технологии рассеиваемая

мощность семейством Virtex-4 снижена почти на 50%, улучшена радиационная стойкость микросхемы, а скорость передачи встроенных каналов LVDS достигла 1 Гбит/с. Пока что автору неизвестны модификации на базе Virtex II Pro X, а тем более Virtex-4, монолитных плат формата 6U компании Scan Engeneering (мезонинные же модули фирмы NallaTech с Virtex II Pro – менее изящное решение), поэтому, упреждая ход событий, имеет смысл рассмотреть возможные варианты применения таких ПЛИС в цифровых модулях формирования луча.

Особенностью МЦПМ на базе Virtex-II Pro X или Virtex-4, безусловно, станет параллельная обработка сигналов четырех и более микросхем АЦП (ЦАП) в одном чипе ПЛИС (при наличии в АЦП LVDS-интерфейсов последовательной передачи данных в принципе одна ПЛИС большой логической емкости может обрабатывать сигналы с выходов восьми каналов АЦП). Кроме того, эшелонированное размещение ПЛИС на плате позволит распределить функции между элементами в соответствии с этапами цифровой обработки данных. Например, в ПЛИС первого эшелона МЦПМ, непосредственно контактирующих с АЦП, могут быть реализованы первичная или согласованная цифровая фильтрация сигналов с прореживанием информационного потока и формированием квадратурных составляющих; коррекция квадратичных погрешностей, неидентичностей АЧХ и ХН первичных каналов. И наконец, благодаря наличию блока менеджмента алгоритмов обработки появится возможность их выбора в соответствии с требуемым режимом функционирования. Во втором эшелоне ПЛИС целесообразно реализовывать процедуры межканальной обработки, например заготовки для цифрового диаграммообразования. Возможный вариант модифицированной платы МЦПМ с FPGA семейств Virtex-II Pro X, Virtex 4 в первом и втором эшелонах показан на рис. 12, при этом для передачи данных между эшелонами ПЛИС предусмотрен последовательно-параллельный LVDS-интерфейс, что существенно упрощает разводку

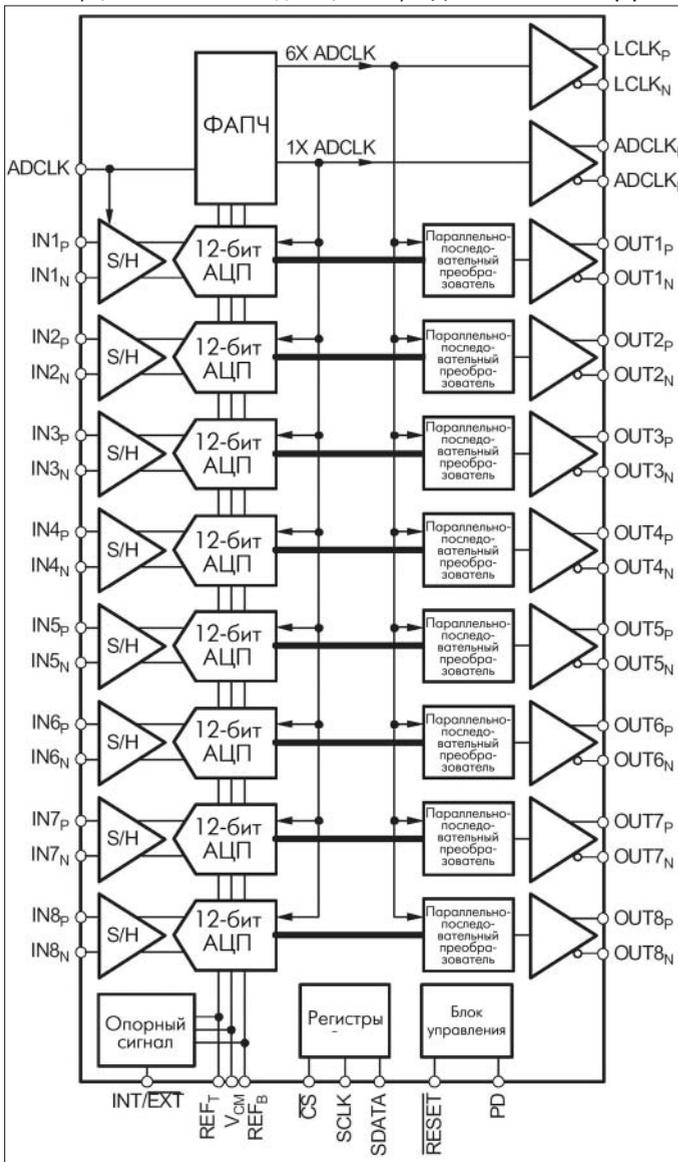


Рис. 11. Структура микросхемы АЦП серии ADS527x

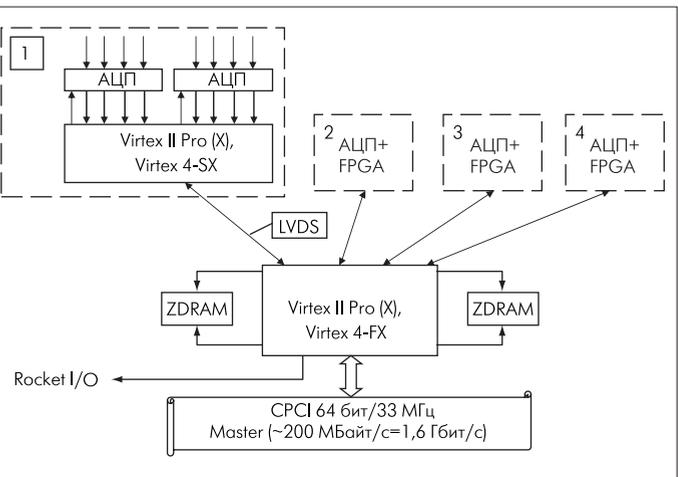


Рис. 12. Вариант модифицированной платы МЦПМ с FPGA семейств Virtex-II Pro (X) и Virtex 4 в первом и втором эшелонах

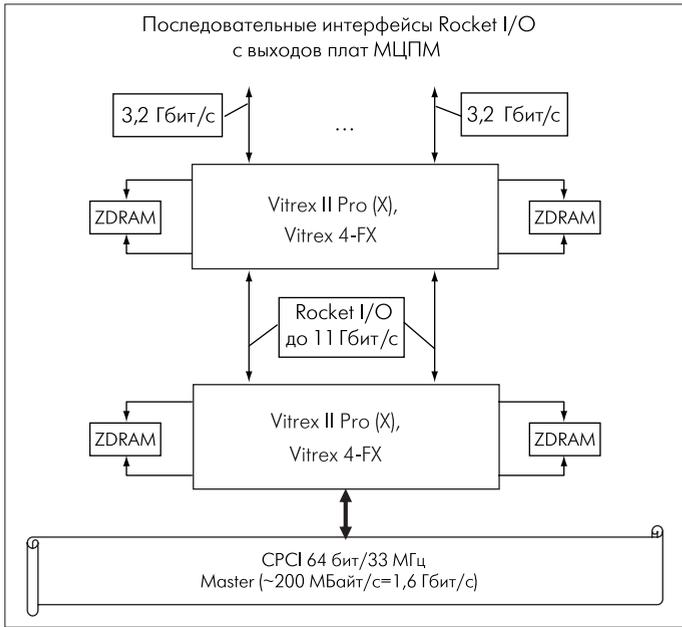


Рис. 13. Эскизный проект объединительного модуля, обеспечивающего решение задач обработки сигнала в схеме реализации ЦАР

печатной платы. Для контроля функционирования МЦПМ наравне с рабочими могут использоваться и специальные тестовые прошивки архитектуры ПЛИС, записанные во флэш-память и позволяющие диагностировать правильность работы FPGA на конкретных фазах обработки сигналов. Для ускорения сброса данных в последующие устройства обработки могут использоваться трансиверы Rocket I/O.

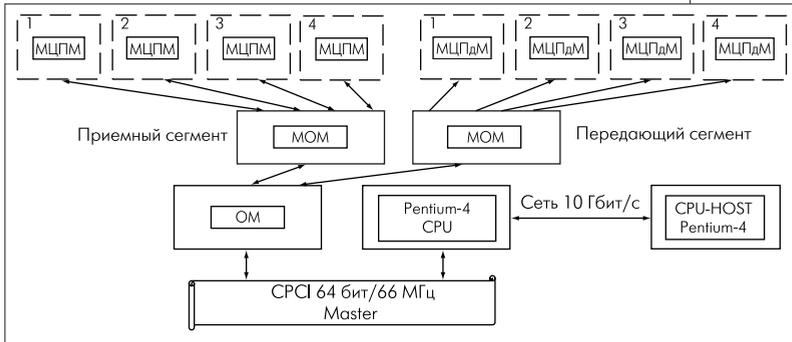


Рис. 14. Вариант платы с модифицированными OM

Модифицированный на базе Vitex-II Pro (X), Vitex 4 объединительный модуль (рис. 13) может быть использован: для сбора по последовательным интерфейсам результатов первичной обработки сигналов в МЦПМ; выполнения над выходными данными нескольких плат МЦПМ операции цифрового диаграммообразования по второй угловой координате; вычитания помех по известным угловым координатам, загружаемым с управляющего процессора; формирования сетки частотных фильтров при OFDM-связи; демодуляции сигналов и передачи обработанных массивов данных в оперативную память модуля управляющего компьютера по шине CompactPCI. В передающем сегменте архитектура установленных на OM ПЛИС перепрошивается для решения задач формирования заготовок OFDM-пакетов с требуемым фазовым сдвигом от канала к каналу по одной из угловых координат, QAM-модуляции цифровых сигналов в соответствии с передаваемым набором символов, внесения предсказаний для компенсации взаимного влияния антенных элементов и нелинейных деформаций аналоговых сигналов в усилителях мощности.

В отличие от связанных задач, сложность которых пока ограничивается применением восьми- или даже четырехэлементных ЦАР по трем-четырем секторам, для совместного решения задач связи и радиолокации структура сегментов ЦАР минимальной конфигурации содержит 8x16 или даже 16x16 антенных элементов. Очевидно, при создании таких ЦАР возможности объединительной платы, приведенной на рис. 13, могут оказаться недостаточными не только с точки зрения выполнения вычислительных операций, но и с точки зрения реализации, если учесть требуемое число разъемов для интерфейса Rocket I/O. Шина CPCI не в состоянии пропустить такой массив данных в разумное время. Поэтому для объединения выходов плат OM сложных по структуре ЦАР единственное решение – применение дополнительного объединительного модуля, в котором бы завершалось формирование вторичных пространственных каналов по второй угловой координате. В таком дополнительном модуле должен быть размещен шлюз на шину CPCI. В дополнительном OM могут выполняться последние слои ЦДО над откликами частотных фильтров, синтезированными в платах OM первого уровня иерархии приемного сегмента, а также загрузка данных в буферы большого объема для сокращения перерывов в обработке информации.

Естественно, для обслуживания большого числа плат МПЦМ и “выкачки” результатов их функционирования в объединительную плату второго иерархического уровня необходимо модифицировать рассмотренный ранее вариант платы OM, для чего в FPGA второго эшелона используются не ядра шины CPCI, а последовательные интерфейсы Rocket I/O. Кроме того, в модифицированном варианте OM (MOM) могут применяться более мощные по своим функциональным возможностям микросхемы FPGA. Рассмотренная же выше плата OM на этот раз выступает в роли объединительной платы второго уровня, через которую могут проходить двунаправленные потоки данных с МЦПМ и в МЦПдМ (рис. 14).

Рассмотрение возможностей современной элементной базы при реализации технологии ЦАР было бы неполным без анализа новых тенденций в развитии аналоговой техники, учитывающих специфику ЦДО. Характерный пример – продукция фирмы RFTune [16] и Telasic [17], анонсировавших, соответственно, специализированные под Smart-антенны чипсеты трансиверов и многоканальный программируемый тюнер TC4000, существенно упрощающие технологию построения приемопередающих антенных решеток. Фирма RFTune продвигает идею объединения в одном корпусе двух приемопередающих модулей для двух антенных элементов (микросхемы RFT2401, RFTXX01, рис. 15). Хотя эти разработки нацелены пока исключительно на частоты стандарта 802.11a/b/g, в принципе они смогут найти применение и в других приложениях, тем более что в ближайшее время не исключено появление четырехканальных чипсетов аналогичного типа.

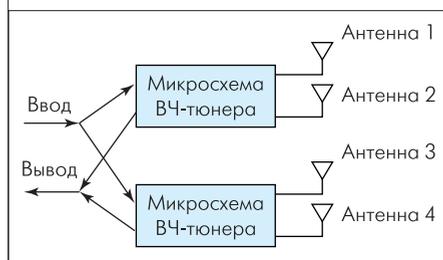


Рис. 15. Предлагаемое фирмой RFTune объединение в одном корпусе двух приемопередающих модулей

В заключение следует отметить, что представленная многоиерархическая концепция построения цифрового сегмента ЦАР – фактически предельно возможная в современной системной технике CPCI, и поэтому она может рассматриваться как

средство реализации авангардных проектов в ближайшие пять–десять лет. В дальнейшем развитие элементной базы может существенно изменить системно- и схемотехнические подходы к реализации ЦАР средних размеров, однако рассмотренная идеология многоуровневого масштабирования в основе своей сохранит право на жизнь и при реализации многоэлементных ЦАР более сложных форматов. Предпосылкой этому служит технология объединительных модулей, позволяющая осуществлять сбор выходных сигналов приемопередающих каналов ЦАР через последовательные интерфейсы даже в случае реализации принципа система-на-кристалле, когда АЦП (ЦАП) входят не в состав плат МЦПМ (МЦПдМ), а в каждый отдельно взятый аналого-цифровой канал. При этом результирующие напряжения с выходов СВЧ-приемопередатчиков в цифровом виде могут, по-прежнему, подаваться по волоконно-оптическим линиям связи на входы ОМ, а уж затем – на шину СРСІ. Для высокопроизводительных телекоммуникационных систем существует также возможность переноса рассмотренных подходов на новый стандарт шинного интерфейса AdvancedTCA, использующего до 16 каналов последовательного протокола PCI-Express. Но это уже совсем другая история.

ЛИТЕРАТУРА

1. **Слюсар В. И.** Схемотехника цифрового диаграммообразования. Модульные решения. – ЭЛЕКТРОНИКА: НТБ, 2002, № 1, с.46–52.
2. www.nallatech.com.
3. Модуль 18-ти канального аналого-цифрового преобразования – АЦП-18К. – Scan Engineering Telecom. – Воронеж. – www.setdsp.ru/products/instrumental/cpci/adc18k/.
4. 5-slot backplane. – www.onestopsystems.com/products/pages/2626.asp.
5. Модуль цифровой обработки сигналов на ПЛИС серии Virtex-II SETLINK. – Scan Engineering Telecom. – Воронеж – www.setdsp.ru/products/instrumental/cpci/plisar001/.
6. **Слюсар В. И., Солощев О. Н., Титов И. В.** Метод коррекции квадратурного разбаланса приемных каналов цифровой антенной решетки. – Радиозлектроника (Изв. высш. учеб. заведений), 2004, № 2, с. 42–50.
7. ZT5088e 12U General Purpose Packet-Switched Platform. www.ziatech.com/Manuals/IPnexus_ZT_5088e_Manual.pdf.
8. [www.rtsoft.ru/products/Compact PCI/6U/](http://www.rtsoft.ru/products/Compact_PCI/6U/).
9. 14-Bit, 20/40/65 MSPS Dual A/D Converter AD9248. Preliminary Technical Data. – www.analog.com/Analog_Root/productPage/.
10. Quad 12-Bit, 50/65 MSPS Serial LVDS 3V A/D Converter AD9229. Preliminary Technical Data. – www.analog.com/Analog_Root/productPage/.
11. Слюсар В. И. Суперскоростные АЦП и ЦАП. Новые игроки на рынке. – ЭЛЕКТРОНИКА: НТБ, 2003, № 6, с.18 – 20.
12. **Слюсар В. И.** Smart-антенны пошли в серию. – ЭЛЕКТРОНИКА: НТБ, 2004, № 1, с.52 – 55.
13. 12-Bit, 40/65 MSPS Quad A/D Converter MAX1127. – <http://www.maxim-ic.com>.
14. Octal 12-Bit, 40/65/70 MSPS A/D Converter ADS5273. – www.ti.com.
15. **Кузелин М.** Современные ПЛИС фирмы Xilinx. Серия Virtex – ни года без нового семейства. – ЭЛЕКТРОНИКА: НТБ, 2004, № 4, с. 20–24.
16. www.rftune.com.
17. BaseFlex™ Chipset. – www.telasic.com/live/products/baseflex_chip-set.shtml.