



УКРАЇНА

(19) UA (11) 39243 (13) U

(51) МПК (2009)

G01S 13/00

G01S 7/00

H02K 15/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) БАГАТОКАНАЛЬНИЙ ПРИЙМАЛЬНИЙ ПРИСТРІЙ

1

2

(21) u200813442

(22) 21.11.2008

(24) 10.02.2009

(46) 10.02.2009, Бюл.№ 3, 2009 р.

(72) СЛЮСАР ВАДИМ ІВАНОВИЧ, UA, ВОЛОЩУК ІГОР ВІКТОРОВИЧ, UA, АЛЕСІН АНАТОЛІЙ МИХАЙЛОВИЧ, UA, ГРИЦЕНКО ВІКТОР МИКОЛАЙОВИЧ, UA, БОНДАРЕНКО МАКСИМ ВАСИЛЬОВИЧ, UA, МАПАЩУК ВОЛОДИМИР ПЕТРОВИЧ, UA, ШАЦМАН ЛЕОНІД ГЕОРГІЄВИЧ, UA, НІКІТІН МИКОЛА МИХАЙЛОВИЧ, UA

(73) ТОВАРИСТВО З ОБМЕЖЕНОЮ ВІДПОВІДАЛЬНІСТЮ "СКАЙНЕТ LTD", UA

(57) 1. Багатоканальний приймальний пристрій, до складу якого входить блок аналого-цифрового перетворення та обробки сигналів, що містить 2N аналогових сигнальних входів, ланцюги узгодження та підсилення, вхід зовнішньої синхронізації, внутрішній тактовий генератор, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), багатоканальні АЦП, модулі оперативної пам'яті, постійний запам'ятовуючий пристрій, програмована логічна інтегральна схема (ПЛІС), в якій містяться модуль перетворення послідовного коду у паралельний, модуль комутації сигналів, цифровий буфер, модуль цифрової обробки сигналів у вигляді послідовно з'єднаних модулів цифрової фільтрації сигналів, модуля цифрового коригування та модуля цифрового діаграмоутворення, контролер передачі даних на інтерфейсну шину, модуль керування пам'яттю, модуль формування сигналів синхронізації та керування, при цьому аналогові сигнальні входи підключені через ланцюги узгодження та підсилення до відповідних аналогових входів багатоканальних АЦП, вхід зовнішньої синхронізації та вхід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів, передача результатів аналого-цифрового перетворення у модуль цифрової обробки сигналів, що входить до складу ПЛІС, виконується за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на кожен з каналів АЦП), які підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу

ПЛІС), виходи модуля перетворення послідовного коду у паралельний підключені до першої групи входів модуля цифрової обробки сигналів (входить до складу ПЛІС), шини даних модулів оперативної пам'яті підключені через модуль керування пам'яттю (входить до складу ПЛІС) до виходів модуля цифрової обробки сигналів та до відповідних входів контролера передачі даних на інтерфейсну шину, а шини адресації та керування модулів оперативної пам'яті підключені до відповідних виходів модуля керування пам'яттю (входить до складу ПЛІС), постійний запам'ятовуючий пристрій підключений до входів завантаження архітектури ПЛІС, виходи контролера передачі даних на інтерфейсну шину підключені до інтерфейсної шини пристрою, перша група входів модуля цифрової фільтрації сигналів є першою групою входів модуля цифрової обробки сигналів, а виходи модуля цифрового діаграмоутворення є виходами модуля цифрової обробки сигналів, виходи модуля цифрової фільтрації сигналів підключені до першої групи входів модуля цифрового коригування, виходи якого підключені до першої групи входів модуля цифрового діаграмоутворення, тактові входи модуля цифрової фільтрації сигналів, модуля цифрового коригування, модуля цифрового діаграмоутворення, а також тактові входи АЦП, модуля перетворення послідовного коду у паралельний і перші входи керування модуля керування пам'яттю підключені до першого виходу модуля формування сигналів синхронізації та керування (входить до складу ПЛІС), другі групи входів модуля цифрової фільтрації сигналів та модуля цифрового коригування підключені відповідно до другого та третього виходів модуля формування сигналів синхронізації та керування, вхід вибору алгоритму модуля цифрового діаграмоутворення підключений до четвертого виходу модуля формування сигналів синхронізації та керування, тактовий вхід якого підключений до виходу комутатора тактових сигналів, входи керування модуля формування сигналів синхронізації та керування підключені до другої групи виходів контролера передачі даних на інтерфейсну шину, виходи модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС) підключені до першої групи входів

U
(13)

39243
(11)

UA
(19)

модуля цифрової обробки сигналів у складі тієї ж ПЛІС через модуль комутації сигналів, входи цифрового буфера підключені до контролера передачі даних на інтерфейсну шину, а виходи - до другої групи входів модуля комутації сигналів, третій вхід якого підключений до виходу переключення режимів "Вибір режиму" модуля формування сигналів синхронізації та керування, тактовий вхід модуля комутації сигналів підключений до першого виходу модуля формування сигналів синхронізації та керування, який **відрізняється** тим, що до складу пристрою додатково введено блок приймачів, що містить N приймальних модулів у складі антенного входу, підсилювача, перемножувача частоти, гетеродинного входу, входу контрольного сигналу, двох квадратурних приймальних каналів та двох аналогових виходів кожний, а також додатково введено вхід живлення, модуль живлення блока приймачів, вхід сигналу гетеродина, підсилювач сигналу гетеродина, розгалужувач сигналу гетеродина, вхід контрольного сигналу, підсилювач контрольного сигналу, розгалужувач контрольного сигналу, при цьому всі 2N виходів блока приймачів підключені до 2N аналогових сигнальних входів блока аналого-цифрового перетворення та обробки сигналів, у кожному з N приймальних модулів антенний вхід є одночасно входом підсилювача, вихід якого підключений до першого входу перемножувача частоти, другий вхід якого є одночасно гетеродинним входом приймального модуля, а

другий вхід підсилювача є входом контрольного сигналу приймального модуля, квадратурні виходи перемножувача частоти підключені до відповідних входів двох квадратурних приймальних каналів, гетеродинний вхід приймального модуля підключений до одного з відповідних виходів розгалужувача сигналу гетеродина, вхід контрольного сигналу приймального модуля підключений до одного з відповідних виходів розгалужувача контрольного сигналу, вхід живлення приймального модуля підключений до відповідного виходу модуля живлення блока приймачів, вхід сигналу гетеродина блока приймачів є одночасно входом підсилювача сигналу гетеродина, вихід якого підключений до входу розгалужувача сигналу гетеродина, вхід контрольного сигналу блока приймачів є входом підсилювача контрольного сигналу, вихід якого підключений до входу розгалужувача контрольного сигналу, вхід модуля живлення є входом живлення блока приймачів.

2. Багатоканальний приймальний пристрій за п. 1, який **відрізняється** тим, що блок приймачів конструктивно об'єднаний з блоком аналого-цифрового перетворення та обробки сигналів в один корпус.

3. Багатоканальний приймальний пристрій за пп. 1, 2, який **відрізняється** тим, що як АЦП застосовуються багатоканальні мікросхеми АЦП у складі 4 або 8 аналого-цифрових перетворювачів в одному корпусі мікросхеми, при цьому кількість аналогових сигнальних входів пристрою кратна 4 або 8.

Корисна модель відноситься до галузі радіотехніки, зокрема, до пристроїв прийому та аналого-цифрового перетворення сигналів, і може бути використана для багатоканальної обробки сигналів в системах радіолокації, зв'язку, тощо.

Серед проблем аналого-цифрового перетворення сигналів у багатоканальних радіотехнічних системах досить важливою є узгодження входу аналого-цифрових перетворювачів (АЦП) з виходом аналогового тракту. Одним з шляхів радикального вирішення зазначеної проблеми є технологія інтегрованого приймального аналого-цифрового модуля, яку шведські фахівці, наприклад, застосували в рамках проекту "Радар на одному чипі" (Radar on a Chip, ROAC) [1]. Дослідження в рамках ROAC стало частиною більш великого проекту Smart Sensors, фінансованого шведським фондом стратегічних досліджень (Swedish Foundation for Strategic Research). Основна суть ROAC зводиться до відпрацювання електрично-узгодженого двочипного приймального каналу цифрової антенної решітки для X-діапазону (8-12ГГц). При цьому перший із двох чипів, що виконаний за арсенід-галлієвою технологією, забезпечує аналогову обробку сигналів зі зниженням їх несучої, а другий, CMOS-кристал, - аналого-цифрове перетворення (АЦП), цифрове формування квадратурних складових та їхню фільтрацію (децимацію).

Реалізація АЦП у CMOS-версії дозволяє здійснити тісну інтеграцію АЦП із цифровим сигнальним процесором. При такому підході проблема узгодження сигналів в прийомному модулі вирішується один раз на етапі переходу від аналогового тракту до цифрового, тоді як виконання АЦП на основі арсенід-галлієвої технології зажадало б узгодження не тільки виходу аналогового тракту із входом АЦП, але й виходу АЦП - із входом CMOS-процесорної частини цифрового сегменту радіотехнічної системи.

Однак, невеликом пристрою-аналогу є однаквальна схема його реалізації, відсутність можливості ефективно багатоканальної інтеграції, яка можлива у даному випадку лише суто механічним поєднанням набору корпусів окремих аналого-цифрових каналів у єдиній фіксуючій конструкції.

Більш досконалий варіант багатоканального приймального пристрою розглянуто у [2]. Він відрізняється застосуванням мікросхем аналогових модулів (див. мікросхеми RFT2401, RFTXX01 фірми RFTune), в одному корпусі яких розташована пара трансиверів (приймально-передавальних каналів), виходи приймачів яких мають бути відповідно підключені до аналогових сигнальних входів пристрою аналого-цифрового перетворення (АЦП) для шини CompactPCI (CPCI) у форматі 6U, до складу якого також входять ланцюги узгодження та підсилення, вхід зовнішньої синхронізації, внутрішній тактовий генератор, комутатор тактових

сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), багатоканальні АЦП, модулі оперативної пам'яті, постійний запам'ятовуючий пристрій, програмована логічна інтегральна схема (ПЛІС), в якій містяться модуль перетворення послідовного коду у паралельний, модуль цифрової обробки сигналів, контролер передачі даних на інтерфейсну шину, модуль управління пам'яттю, модуль формування сигналів синхронізації та управління, при цьому аналогові сигнальні входи підключені через ланцюги узгодження та підсилення до відповідних аналогових входів багатоканальних АЦП, вхід зовнішньої синхронізації та вихід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів, передача результатів аналого-цифрового перетворення у модуль цифрової обробки сигналів, що входить до складу ПЛІС, виконується за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на кожен з каналів АЦП), які підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС), виходи модуля перетворення послідовного коду у паралельний підключені до першої групи входів модуля цифрової обробки сигналів (входить до складу ПЛІС), шини даних модулів оперативної пам'яті підключені через модуль управління пам'яттю (входить до складу ПЛІС) до виходів модуля цифрової обробки сигналів та до відповідних входів контролера передачі даних на інтерфейсну шину, а шини адресації та управління модулів оперативної пам'яті підключені до відповідних виходів модуля управління пам'яттю (входить до складу ПЛІС), постійний запам'ятовуючий пристрій підключений до входів загрузки архітектури ПЛІС, виходи контролера передачі даних на інтерфейсну шину підключені до інтерфейсної шини пристрою.

Відмінною рисою пристрою-аналогу з [2], є аналого-цифрове перетворення сигналів синхронно у часі по значній кількості паралельних каналів, обробка сигналів з виходів чотирьох і більше каналів АЦП в одному чипі ПЛІС, використання ешелонованого розташування ПЛІС на платі, що дозволяє розділити функції між різними ПЛІС відповідно до етапів цифрової обробки даних. Наприклад, у ПЛІС першого ешелону, що безпосередньо контактують з АЦП, можуть бути реалізовані первинна або узгоджена цифрова фільтрація сигналів із проріджуванням інформаційного потоку у часі (децимацією) й формуванням квадратурних складових сигналів, корекція квадратичних погіршень, неідентичностей амплітудно-частотних характеристик (АЧХ) аналогових приймальних каналів і діаграм спрямованості антенних елементів, а також модуль менеджменту алгоритмів обробки, що забезпечує їхню адаптацію під необхідний режим функціонування. У другому ешелоні ПЛІС реалізовані модулі міжканальної обробки даних, наприклад, початкові етапи цифрового діаграмоутворення, модуль управління пам'яттю, модуль формування сигналів синхронізації та управління, контролер передачі даних на інтерфейсну шину, що забезпечує передачу результатів цифрової обробки сигналів через шину ComraстPCІ на по-

дальший обчислювальний пристрій. Для передачі даних між ешелонами ПЛІС використовується послідовний інтерфейс Rocket I/O, що істотно спрощує розведення друкованої плати. Для проведення контролю функціонування МЦПМ можуть використовуватися нарівні з основними також спеціальні тестові архітектури ПЛІС, записані у постійний запам'ятовуючий пристрій, що дозволяють діагностувати правильність функціонування ПЛІС на конкретних фазах обробки сигналів. Конструктивне виконання ж аналогових модулів відрізняється інтеграцією в одному корпусі мікросхеми двох приймальних каналів, що дозволяє поліпшити технологію виготовлення багатоканального приймального пристрою.

До недоліків пристрою-аналогу слід віднести використання ешелонованого розташування модулів обробки даних у різних ПЛІС, що призводить до надмірного теплового розсіювання ними потужності та додаткового споживання електричної енергії пристроєм, надто ускладнює розведення електричних сигнальних ліній на друкованій платі, спонукає виготовляти її з великою кількістю друкованих шарів. Це призводить до збільшення собівартості пристрою. До того ж, наявність надмірної кількості ПЛІС погіршує електромагнітну сумісність модулів, що застосовуються у пристрої, через випромінювання додаткових завад послідовними інтерфейсними шинами, що з'єднують мікросхеми ПЛІС і виконують роль своєрідних антен та погіршують імпеданс ліній розповсюдження сигналів. Застосування в якості оперативної пам'яті мікросхем статичної пам'яті ZBT SRAM обмежує максимальний об'єм записуваної інформації через відсутність відповідних мікросхем з ємністю 1 Гігабайт та більше і призводить до подорожчання пристрою.

На додаток слід вказати, що не зважаючи на інтеграційну новацію у побудові мікросхем трансиверів, двоканальна схема їхньої реалізації не дозволяє відмовитись від суто механічного поєднання набору окремих корпусів аналогових каналів у єдину фіксуючу конструкцію корпусу багатоканального приймального пристрою.

Найбільш близьким технічним рішенням до заявленої корисної моделі, є пристрій аналого-цифрового перетворення (АЦП), запропонований у [3], до складу якого входить блок аналого-цифрового перетворення та обробки сигналів, що містить 2N аналогових сигнальних входів, ланцюги узгодження та підсилення, вхід зовнішньої синхронізації, внутрішній тактовий генератор, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), багатоканальні АЦП, модулі оперативної пам'яті, постійний запам'ятовуючий пристрій, програмована логічна інтегральна схема (ПЛІС), в якій містяться модуль перетворення послідовного коду у паралельний, модуль комутації сигналів, цифровий буфер, модуль цифрової обробки сигналів у вигляді послідовно з'єднаних модуля цифрової фільтрації сигналів, модуля цифрового коригування та модуля цифрового діаграмоутворення, контролер передачі даних на інтерфейсну шину, модуль управління пам'яттю, модуль формування сигналів

синхронізації та управління, при цьому аналогові сигнальні входи підключені через ланцюги узгодження та підсилення до відповідних аналогових входів багатоканальних АЦП, вхід зовнішньої синхронізації та вихід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів, передача результатів аналого-цифрового перетворення у модуль цифрової обробки сигналів, що входить до складу ПЛІС, виконується за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на кожен з каналів АЦП), які підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС), виходи модуля перетворення послідовного коду у паралельний підключені до першої групи входів модуля цифрової обробки сигналів (входить до складу ПЛІС), шини даних модуля оперативної пам'яті підключені через модуль управління пам'яттю (входить до складу ПЛІС) до виходів модуля цифрової обробки сигналів та до відповідних входів контролера передачі даних на інтерфейсну шину, а шини адресації та управління модулів оперативної пам'яті підключені до відповідних виходів модуля управління пам'яттю (входить до складу ПЛІС), постійний запам'ятовуючий пристрій підключений до входів загрузки архітектури ПЛІС, виходи контролера передачі даних на інтерфейсну шину підключені до інтерфейсної шини пристрою, перша група входів модуля цифрової фільтрації сигналів є першою групою входів модуля цифрової обробки сигналів, а виходи модуля цифрового діаграмоутворення є виходами модуля цифрової обробки сигналів, виходи модуля цифрової фільтрації сигналів підключені до першої групи входів модуля цифрового коригування, виходи якого підключені до першої групи входів модуля цифрового діаграмоутворення, тактові входи модуля цифрової фільтрації сигналів, модуля цифрового коригування, модуля цифрового діаграмоутворення, а також тактові входи АЦП, модуля перетворення послідовного коду у паралельний і перші входи управління модуля управління пам'яттю підключені до першого виходу модуля формування сигналів синхронізації та управління (входить до складу ПЛІС), другі групи входів модуля цифрової фільтрації сигналів та модуля цифрового коригування підключені відповідно до другого та третього виходів модуля формування сигналів синхронізації та управління, вхід вибору алгоритму модуля цифрового діаграмоутворення підключений до четвертого виходу модуля формування сигналів синхронізації та управління, тактовий вхід якого підключений до виходу комутатора тактових сигналів, входи управління модуля формування сигналів синхронізації та управління підключені до другої групи виходів контролера передачі даних на інтерфейсну шину, виходи модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС) підключені до першої групи входів модуля цифрової обробки сигналів у складі тієї ж ПЛІС через модуль комутації сигналів, входи цифрового буфера підключені до контролера передачі даних на інтерфейсну шину, а виходи - до другої групи входів модуля комутації сигналів, третій вхід

якого підключений до виходу переключення режимів "Вибір режиму" модуля формування сигналів синхронізації та управління, тактовий вхід модуля комутації сигналів підключений до першого виходу модуля формування сигналів синхронізації та управління.

Відмінною рисою пристрою АЦП, обраного за прототип, є аналого-цифрове перетворення сигналів синхронно у часі по значній кількості паралельних каналів, обробка сигналів з виходів усіх АЦП в одному чипі ПЛІС, в якій можуть бути реалізовані первинна або узгоджена цифрова фільтрація сигналів із проріджуванням інформаційного потоку у часі (децимацією) й формуванням квадратурних складових сигналів, корекція квадратичних погіршень, неідентичностей амплітудно-частотних характеристик (АЧХ) аналогових приймальних каналів і діаграм спрямованості антенних елементів, а також модуль менеджменту алгоритмів обробки, що забезпечує їхню адаптацію під необхідний режим функціонування, модулі міжканальної обробки даних, наприклад, початкові етапи цифрового діаграмоутворення, модуль управління пам'яттю, модуль формування сигналів синхронізації та управління, контролер передачі даних на інтерфейсну шину, що забезпечує передачу результатів цифрової обробки сигналів, наприклад, через шину CompactPCI на подальший обчислювальний пристрій. Для передачі даних між АЦП та ПЛІС використовуються послідовні інтерфейси LVDS, що істотно спрощує розведення друкованої плати. Для проведення контролю функціонування МЦПМ можуть використовуватися нарівні з основними також спеціальні тестові архітектури ПЛІС, записані у постійний запам'ятовуючий пристрій, що дозволяють діагностувати правильність функціонування ПЛІС на конкретних фазах обробки сигналів.

До недоліків пристрою-прототипу слід віднести можливість підключення до аналогових виходів приймачів сигналів лише через рознімання, відсутність інтеграції відомих приймачів аналогових сигналів у функціонально завершений блок. Наявність надмірної кількості рознімань для з'єднання АЦП з аналоговими виходами приймачів сигналів погіршує електромагнітну сумісність модулів, що застосовуються у пристрої, через випромінювання додаткових завад та наведення завад з ефіру на контактах рознімань, які виконують роль своєрідних антен та погіршують імпеданс ліній розповсюдження сигналів. Відсутність конструктивного поєднання приймачів сигналів та пристрою багатоканального аналого-цифрового перетворення сигналів у єдиний блок знижує експлуатаційні якості радіотехнічної системи, в якій вони використовуються.

В основу корисної моделі покладене завдання підвищення основних технічних характеристик пристрою обробки сигналів, інтеграція приймачів аналогових сигналів та пристрою багатоканального аналого-цифрового перетворення сигналів в єдиний конструктивний блок.

Очікуваний технічний результат від заявленої корисної моделі полягає у забезпеченні конструктивної інтеграції аналогових приймальних модулів

у єдиний блок, у тому числі з пристроєм багатоканального аналого-цифрового перетворення сигналів, що дозволить підвищити якість багаторозрядного (12-біт і більше) оцифровування паралельно до 32 і більше каналів надходження аналогових сигналів, зменшити джиттер за рахунок поліпшення електромагнітної сумісності модулів, що застосовуються у пристрої.

Суть нововведень до корисної моделі порівняно з прототипом полягає у тому, що до складу пристрою додатково введено блок приймачів, що містить N приймальних модулів у складі антенного входу, підсилювача, перемножувача частоти, гетеродинного входу, входу контрольного сигналу, двох квадратурних приймальних каналів та двох аналогових виходів кожний, а також додатково введено вхід живлення, модуль живлення блока приймачів, вхід сигналу гетеродину, підсилювач сигналу гетеродину, розгалужувач сигналу гетеродину, вхід контрольного сигналу, підсилювач контрольного сигналу, розгалужувач контрольного сигналу, при цьому всі 2N виходів блока приймачів підключені до 2N аналогових сигнальних входів блока аналого-цифрового перетворення та обробки сигналів, у кожному з N приймальних модулів антенний вхід є одночасно входом підсилювача, вихід якого підключений до першого входу перемножувача частоти, другий вхід якого є одночасно гетеродинним входом приймального модуля, а другий вхід підсилювача є входом контрольного сигналу приймального модуля, квадратурні виходи перемножувача частоти підключені до відповідних входів двох квадратурних приймальних каналів, гетеродинний вхід приймального модуля підключений до одного з відповідних виходів розгалужувача сигналу гетеродину, вхід контрольного сигналу приймального модуля підключений до одного з відповідних виходів розгалужувача контрольного сигналу, вхід живлення приймального модуля підключений до відповідного виходу модуля живлення блока приймачів, вхід сигналу гетеродину блока приймачів є одночасно входом підсилювача сигналу гетеродину вихід якого підключений до входу розгалужувача сигналу гетеродину, вхід контрольного сигналу блока приймачів є входом підсилювача контрольного сигналу, вихід якого підключений до входу розгалужувача контрольного сигналу, вхід модуля живлення є входом живлення блока приймачів.

Перший варіант конкретної реалізації заявленого пристрою відрізняється тим, що для забезпечення більшої конструктивної інтеграції аналогових приймальних модулів у єдиний блок з пристроєм багатоканального аналого-цифрового перетворення сигналів, блок приймачів конструктивно об'єднаний з блоком аналого-цифрового перетворення та обробки сигналів в один корпус.

Можливий також варіант, коли в якості АЦП застосовуються багатоканальні мікросхеми АЦП у складі 4 або 8 аналого-цифрових перетворювачів в одному корпусі мікросхеми, при цьому кількість аналогових сигнальних входів пристрою кратна 4 або 8.

Порівняльний аналіз технічного рішення, яке заявляється, із прототипом, дозволяє зробити ви-

сненок, що заявлений багатоканальний приймальний пристрій суттєво відрізняється наявністю у його складі блоку приймачів, який може підключатись до блоку аналого-цифрового перетворення та обробки сигналів за допомогою рознімачів та кабелів, або ж блок приймачів може бути конструктивно об'єднаний з блоком аналого-цифрового перетворення та обробки сигналів в один корпус. Суттєвою відмінністю блоку приймачів є наявність спільного для всіх приймальних каналів входу живлення, гетеродинного входу та входу контрольного сигналу, конструктивне поєднання усіх каналів прийому в єдиний корпус.

Таким чином, багатоканальний приймальний пристрій, який заявляється, відповідає критерію "новизна" корисної моделі.

Суть корисної моделі пояснюється за допомогою креслень, де на Фіг.1 представлена структурна схема основного варіанту реалізації блоку аналого-цифрового перетворення та обробки сигналів, що входить до складу багатоканального приймального пристрою, який заявляється.

На Фіг.2 наведено структурну схему блоку приймачів.

На Фіг.3, 4 наведено приклади практичної реалізації блоку приймачів, що відрізняються робочою частотою та кількістю інтегрованих в єдиний корпус приймальних каналів, при цьому виходи блока приймачів підключаються до аналогових входів блоку аналого-цифрового перетворення та обробки сигналів через рознімачі та кабелі.

На Фіг.5 представлено зовнішній вигляд конкретного прикладу реалізації блоку аналого-цифрового перетворення та обробки сигналів, що входить до складу заявленої корисної моделі (лицевий бік плати блоку), а на Фіг.6 - вигляд плати блоку аналого-цифрового перетворення та обробки сигналів пристрою, наведеної на Фіг.5, зі знятим радіатором охолодження ПЛІС.

Цифрами на Фіг.1 позначені складові елементи блоку аналого-цифрового перетворення та обробки сигналів:

1.1.1 - 1.N.K - аналогові сигнальні входи, де N - кількість мікросхем АЦП, K - кількість каналів АЦП в одній мікросхемі (K=4(8));

2.1.1. - 2.N.K - ланцюги узгодження та підсилення, де N - кількість мікросхем АЦП, K - кількість каналів АЦП в одній мікросхемі;

3.1 - 3.N - аналого-цифровий перетворювач каналів, де N - кількість мікросхем АЦП;

4 - ПЛІС;

4.1 - Модуль перетворення послідовного коду у паралельний;

4.2 - Модуль цифрової обробки сигналів;

4.2.1 - Модуль цифрової фільтрації сигналів;

4.2.2 - Модуль цифрового коригування;

4.2.3 - Модуль цифрового діаграмоутворення;

4.3 - Модуль формування сигналів синхронізації та управління;

4.4 - Контролер передачі даних на інтерфейсну шину;

4.5 - Модуль управління пам'яттю;

4.6 - Цифровий буфер;

4.7 - Модуль комутації сигналів;

5 - Інтерфейсна шина;

- 6.1- Модуль оперативної пам'яті RAM1;
- 6.2 - Модуль оперативної пам'яті RAM2;
- 7 - Постійний запам'ятовуючий пристрій;
- 8 - Вхід зовнішньої синхронізації;
- 9 - Внутрішній тактовий генератор;
- 10 - Комутатор тактових сигналів.

Блок аналого-цифрового перетворення та обробки сигналів, що наведено на Фіг.1, містить аналогові сигнальні входи 1.1.1 - 1.N.K, ланцюги узгодження та підсилення 2.1.1. - 2.N.K, вхід зовнішньої синхронізації 8, внутрішній тактовий генератор 9, комутатор тактових сигналів 10 (з внутрішнього тактового генератора 9 та входу зовнішньої синхронізації 8), багатоканальні АЦП 3.1 - 3.N, модулі оперативної пам'яті 6.1, 6.2, постійний запам'ятовуючий пристрій 7, програмовану логічну інтегральну схему (ПЛІС) 4, в якій містяться модуль перетворення послідовного коду у паралельний 4.1, модуль цифрової обробки сигналів 4.2, модуль формування сигналів синхронізації та управління 4.3, контролер передачі даних на інтерфейсну шину 4.4, модуль управління пам'яттю 4.5, цифровий буфер 4.6, модуль комутації сигналів 4.7, при цьому аналогові сигнальні входи 1.1.1 - 1.N.K підключені через ланцюги узгодження та підсилення 2.1.1. - 2.N.K до відповідних аналогових входів багатоканальних АЦП 3.1 - 3.N, вхід зовнішньої синхронізації 8 та вихід внутрішнього тактового генератора 9 підключені до відповідних входів комутатора тактових сигналів 10, передача результатів аналого-цифрового перетворення у модуль цифрової обробки сигналів 4.2, що входить до складу ПЛІС 4, виконується за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на кожен з каналів АЦП 3.1 - 3.N), які підключені до відповідних входів модуля перетворення послідовного коду у паралельний 4.1 (входить до складу ПЛІС 4), виходи модуля перетворення послідовного коду у паралельний 4.1 підключені до першої групи входів модуля цифрової обробки сигналів 4.2 (входить до складу ПЛІС 4), шини даних модулів оперативної пам'яті 6.1, 6.2 підключені через модуль управління пам'яттю 4.5 (входить до складу ПЛІС 4) до виходів модуля цифрової обробки сигналів 4.2 та до відповідних входів контролера передачі даних на інтерфейсну шину 4.4, а шини адресації та управління модулів оперативної пам'яті 6.1, 6.2 підключені до відповідних виходів модуля управління пам'яттю 4.5 (входить до складу ПЛІС 4), постійний запам'ятовуючий пристрій 7 підключений до входів загрузки архітектури ПЛІС 4, виходи контролера передачі даних на інтерфейсну шину 4.4 підключені до інтерфейсної шини 5 пристрою, модуль цифрової обробки сигналів 4.2 у складі єдиної ПЛІС 4 виконується у вигляді послідовно з'єднаних модуля цифрової фільтрації сигналів 4.2.1, модуля цифрового коригування 4.2.2 та модуля цифрового діаграмоутворення 4.2.3, крім того, для забезпечення режиму тестування алгоритмів цифрової обробки сигналів виходи модуля перетворення послідовного коду у паралельний 4.1 (входить до складу ПЛІС 4) підключені до першої групи входів модуля цифрової обробки сигналів 4.2 у складі тієї ж ПЛІС 4 через модуль комута-

ції сигналів 4.7, при цьому входи цифрового буферу 4.6 підключені до контролера передачі даних на інтерфейсну шину 4.4, а виходи - до другої групи входів модуля комутації сигналів 4.7, третій вхід якого підключений до виходу переключення режимів "Вибір режиму" модуля формування сигналів синхронізації та управління 4.3, тактовий вхід модуля комутації сигналів 4.7 підключений до першого виходу модуля формування сигналів синхронізації та управління 4.3, перша група входів модуля цифрової фільтрації сигналів 4.2.1 є першою групою входів модуля цифрової обробки сигналів 4.2, а виходи модуля цифрового діаграмоутворення 4.2.3 є виходами модуля цифрової обробки сигналів 4.2, виходи модуля цифрової фільтрації сигналів 4.2.1 підключені до першої групи входів модуля цифрового коригування 4.2.2, виходи якого підключені до першої групи входів модуля цифрового діаграмоутворення 4.2.3, тактові входи модуля цифрової фільтрації сигналів 4.2.1, модуля цифрового коригування 4.2.2, модуля цифрового діаграмоутворення 4.2.3, а також тактові входи АЦП 3.1 - 3.N, модуля перетворення послідовного коду у паралельний 4.1 і перші входи управління модуля управління пам'яттю 4.5 підключені до першого виходу модуля формування сигналів синхронізації та управління 4.3 (входить до складу ПЛІС), другі групи входів модуля цифрової фільтрації сигналів 4.2.1 та модуля цифрового коригування 4.2.2 підключені відповідно до другого та третього виходів модуля формування сигналів синхронізації та управління 4.3, вхід вибору алгоритму модуля цифрового діаграмоутворення 4.2.3 підключений до четвертого виходу модуля формування сигналів синхронізації та управління 4.3, тактовий вхід якого підключений до виходу комутатора тактових сигналів 10, входи управління модуля формування сигналів синхронізації та управління 4.3 підключені до другої групи виходів контролера передачі даних на інтерфейсну шину 4.4.

Принцип роботи основного варіанту блоку аналого-цифрового перетворення та обробки сигналів полягає в наступному.

На етапі підготовки до роботи блоку аналого-цифрового перетворення та обробки сигналів за допомогою комутатора тактових сигналів 10 вибирають режим подальшої роботи пристрою: з тактуванням сигналами такту, що подають на вхід зовнішньої синхронізації 8, або ж сигналами такту з внутрішнього тактового генератора 9.

На етапі ініціювання роботи блоку аналого-цифрового перетворення та обробки сигналів одразу після вмикання живлення відповідні тактові сигнали надходять на вхід модуля формування сигналів синхронізації та управління 4.3, що входить до складу ПЛІС 4. Крім того, з постійного запам'ятовуючого пристрою 7 через відповідні входи ПЛІС 4 здійснюють загрузку архітектури ПЛІС 4. Далі через інтерфейсну шину 5 і контролер передачі даних на інтерфейсну шину 4.4 у модуль формування сигналів синхронізації та управління 4.3 записують параметри управління роботою пристрою та параметри управління цифрою обробкою сигналів, зокрема: коди управління, що визна-

чають кількість відліків сигналів, які мають накопичуватися в алгоритмі узгодженої фільтрації, коефіцієнти корекції квадратурного розбалансу, коефіцієнти коригування міжканальних неідентичностей амплітудно-частотних характеристик (АЧХ) аналогових приймальних каналів і діаграм спрямованості антенних елементів, розмірність ШПФ для операції цифрового діаграмоутворення. На завершення, через інтерфейсну шину 5 і контролер передачі даних на інтерфейсну шину 4.4 у цифровий буфер 4.6 записують тестові цифрові коди, а у модуль формування сигналів синхронізації та управління 4.3 записують команду на переключення режимів "Вибір режиму". Під дією цієї команди модуль комутації сигналів 4.7 перемикають у стан, коли цифрові дані на вхід модуля цифрової обробки сигналів 4.2 в основному режимі роботи пристрою будуть надходити з цифрового буферу 4.6, а не з модуля перетворення послідовного коду у паралельний 4.1.

В основному режимі роботи блоку аналого-цифрового перетворення та обробки сигналів, аналогові сигнали з $K \times N$ радіоканалів поступають на аналогові сигнальні входи 1.1.1 - 1.N.K й далі через ланцюги узгодження та підсилення 2.1.1. - 2.N.K - на відповідні аналогові входи N багатоканальних АЦП 3.1 - 3.N. Тактування АЦП 3.1 - 3.N здійснюють за допомогою сигналів управління АЦП, які надходять на тактові входи АЦП 3.1 - 3.N з відповідного виходу модуля формування сигналів синхронізації та управління 4.3.

Результати аналого-цифрового перетворення напруг сигналів з виходів АЦП 3.1 - 3.N передають за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на кожен з K каналів N АЦП 3.1 - 3.N) на вхід модуля перетворення послідовного коду у паралельний 4.1 (входить до складу ПЛІС 4). Далі цифрові відліки напруг сигналів у паралельному коді поступають на першу групу входів модуля цифрової фільтрації сигналів 4.2.1, які одночасно є першою групою входів модуля цифрової обробки сигналів 4.2.

В модулі цифрової фільтрації сигналів 4.2.1 здійснюють попередню узгоджену цифрову фільтрацію сигналів із проріджуванням інформаційного потоку у часі (децимацією) й формуванням квадратурних складових сигналів. По другій групі входів на модуль цифрової фільтрації сигналів 4.2.1 поступають з модуля формування сигналів синхронізації та управління 4.3 коди управління, що визначають кількість відліків сигналів, які мають накопичуватися в алгоритмі узгодженої фільтрації. Крім того, з першого виходу модуля формування сигналів синхронізації та управління 4.3 на вхід модуля цифрової фільтрації сигналів 4.2.1 надходять необхідні тактові сигнали.

Далі у модулі цифрового коригування 4.2.2 виконують корекцію неортогональності квадратур сигналів, завершують процедуру цифрової фільтрації, здійснюють цифрове коригування неідентичностей амплітудно-частотних характеристик (АЧХ) аналогових приймальних каналів і амплітудно-фазових характеристик діаграм спрямованості

антенних елементів. Результати обробки у модулі цифрового коригування 4.2.2 надходять на вхід модуля цифрового діаграмоутворення 4.2.3, в якому реалізована міжканальна обробка даних, наприклад, початкові етапи цифрового діаграмоутворення за допомогою операції швидкого перетворення Фур'є.

На другі групи входів модуля цифрового коригування 4.2.2 та модуля цифрового діаграмоутворення 4.2.3 поступають з відповідних виходів модуля формування сигналів синхронізації та управління 4.3 параметри управління цифровою обробкою сигналів, зокрема: коефіцієнти корекції квадратурного розбалансу, коефіцієнти коригування міжканальних неідентичностей амплітудно-частотних характеристик (АЧХ) аналогових приймальних каналів і діаграм спрямованості антенних елементів, розмірність ШПФ для операції цифрового діаграмоутворення. Тактові сигнали надходять з першого виходу модуля формування сигналів синхронізації та управління 4.3 на тактові входи модуля цифрового коригування 4.2.2 та модуля цифрового діаграмоутворення 4.2.3.

Результати обробки сигналів у модулі цифрового діаграмоутворення 4.2.3 з його виходу поступають через модуль управління пам'яттю 4.5 (входить до складу ПЛІС 4) на шину даних модулів оперативної пам'яті 6.1, 6.2. Запис даних здійснюють в один з банків пам'яті, тоді як з іншого банку записані раніше дані зчитують через модуль управління пам'яттю 4.5, контролер передачі даних на інтерфейсну шину 4.4 та саму інтерфейсну шину 5 у подальший обчислювальний пристрій.

Слід вказати також, що за допомогою тестових кодів, записаних у цифровий буфер 4.6, за необхідності контролюють працездатність модуля цифрової обробки сигналів 4.2 шляхом зчитування у подальший обчислювальний пристрій результатів обробки тестової послідовності даних.

Цифрами на Фіг.2, що містить схему блоку приймачів, позначені:

1.1 - 1.N - приймальні модулі, де N - кількість приймальних модулів у блоці приймачів;

1.1.1. - 1.N.1 - антенні входи приймальних модулів;

1.1.2. - 1.N.2 - підсилювачі;

1.1.3. - 1.N.3 - перемножувач частоти приймального модуля;

1.1.4.1 - 1.N.4.1 - один з квадратурних каналів приймального модуля;

1.1.4.2 - 1.N.4.2 - другий з квадратурних каналів приймального модуля;

2 - вхід сигналу гетеродину;

3 - підсилювач сигналу гетеродину;

4 - розгалужувач сигналу гетеродину;

5 - вхід контрольного сигналу;

6 - підсилювач контрольного сигналу;

7 - розгалужувач контрольного сигналу;

8 - вхід живлення блока приймачів;

9 - модуль живлення блока приймачів.

Блок приймачів, що наведено на Фіг.2, містить N приймальних модулів 1.1 - 1.N у складі антенного входу 1.1.1. - 1.N.1, підсилювача 1.1.2. - 1.N.2, перемножувача частоти 1.1.3. - 1.N.3, гетеродинового входу, входу контрольного сигналу, двох ква-

дратурних приймальних каналів 1.1.4.1 - 1.N.4.1, 1.1.4.2 - 1.N.4.2 та двох аналогових виходів кожний, а також додатково введено вхід живлення 8, модуль живлення 9 блока приймачів, вхід сигналу гетеродину 2, підсилювач сигналу гетеродину 3, розгалужувач сигналу гетеродину 4, вхід контрольного сигналу 5, підсилювач контрольного сигналу 6, розгалужувач контрольного сигналу 7, при цьому всі 2N виходів блока приймачів підключені до 2N аналогових сигнальних входів блока аналого-цифрового перетворення та обробки сигналів, у кожному з N приймальних модулів 1.1 - 1.N антенний вхід 1.1.1. - 1.N.1 є одночасно входом підсилювача 1.1.2. - 1.N.2, вихід якого підключений до першого входу перемножувача частоти 1.1.3. - 1.N.3, другий вхід якого є одночасно гетеродинним входом приймального модуля, а другий вхід підсилювача є входом контрольного сигналу приймального модуля 1.1 - 1.N, квадратурні виходи перемножувача частоти 1.1.3. - 1.N.3 підключені до відповідних входів двох квадратурних приймальних каналів 1.1.4.1 - 1.N.4.1, 1.1.4.2 - 1.N.4.2, гетеродинний вхід приймального модуля 1.1 - 1.N підключений до одного з відповідних виходів розгалужувача сигналу гетеродину 4, вхід контрольного сигналу приймального модуля 1.1 - 1.N підключений до одного з відповідних виходів розгалужувача контрольного сигналу 7, вхід живлення приймального модуля 1.1 - 1.N підключений до відповідного виходу модуля живлення 9 блока приймачів, вхід сигналу гетеродину блока приймачів є одночасно входом підсилювача сигналу гетеродину 3, вихід якого підключений до входу розгалужувача сигналу гетеродину 4, вхід контрольного сигналу блока приймачів є входом підсилювача контрольного сигналу 6, вихід якого підключений до входу розгалужувача контрольного сигналу 7, вхід модуля живлення 9 є входом живлення 8 блока приймачів.

Блок приймачів, наведений на Фіг.2, призначений для попередньої частотної селекції й посилення прийнятих радіосигналів, формування квадратурних складових сигналів проміжної частоти, зрушених по фазі один від одного на 90° .

Принцип роботи блоку приймачів, наведеного на Фіг.2, полягає в наступному.

У кожному з N приймальних модулів 1.1 - 1.N сигнали з антенних елементів антенної решітки поступають на антенний вхід 1.1.1. - 1.N.1 і далі - на вхід підсилювача 1.1.2. - 1.N.2. Після посилення за напругою прийняті сигнали надходять до першого входу перемножувача частоти 1.1.3. - 1.N.3, другий вхід якого є одночасно гетеродинним входом приймального модуля. На виході перемножувача частоти 1.1.3. - 1.N.3 формуються квадратурні сигнали, які подаються на входи двох квадратурних приймальних каналів 1.1.4.1 - 1.N.4.1, 1.1.4.2 - 1.N.4.2, де вони знову підсилюються та фільтруються за частотою. З квадратурних виходів приймальних модулів сигнали надходять на відповідні аналогові сигнальні входи 1.1.1 - 1.N.K блоку аналого-цифрового перетворення та обробки сигналів, що наведений на Фіг.1.

Контрольний сигнал використовується для визначення коефіцієнтів корекції амплітудно-

частотних характеристик квадратурних каналів з метою усунення квадратурного розбалансу та між-канальної неідентичності комплексних характеристик передачі приймальних каналів.

Блок приймачів пристрою-корисної моделі, що заявляється у конкретному варіанті виконання (Фіг.3, 4), відповідає наведеним нижче вимогам й здійснює обробку аналогових входних сигналів відповідно до функціональної схеми, наведеної на Фіг.2.

Діапазон робочих частот ПМ по входу $F_0=9,9-10,1$ ГГц (уточнюється в процесі розробки). Вибірковість за дзеркальним каналом входу приймальних модулів (ПМ) - не менше 80дБ. Коефіцієнт шуму ПМ - не гірше 1,5дБ. Чутливість приймача - не гірше 1×10^{-15} Вт.

Посилення ПМ за напругою забезпечує середньоквадратичне відхилення шумів на навантаженні 50Ом (вхід аналого-цифрового перетворювача) у межах 2^{-11} В (1 квант 12- розрядного АЦП без врахування знакового розряду).

Нерівномірність коефіцієнта передачі у смузі частот 2МГц у діапазоні робочих частот ПМ не більше $\pm 0,25$ дБ.

Вибірковість ПМ за проміжною частотою при відхиленні від центральної проміжної частоти $F_{пр}$ на ± 8 МГц має бути не менш 80дБ.

Кожний прийомний модуль містить два квадратурних канали, зрушення фаз сигналів між якими дорівнює $90 \pm 10^\circ$ у смузі частот 2МГц, причому стабільність цього зрушення фаз при зміні частоти вхідного сигналу в смузі ($F_{пр} \pm 1,0$)МГц залишається не гірше $\pm 0,5^\circ$.

Неідентичність амплітуд максимальних миттєвих значень напруг квадратурних сигналів на виході ПМ у смузі частот 2МГц не гірше $\pm 10\%$, причому нестабільність цього розкиду амплітуд при зміні частоти вхідного сигналу у смузі ($F_{пр} \pm 1,0$)МГц не перевищує $\pm 0,2\%$.

Розв'язка сигналів квадратурних каналів ПМ - не менше 80дБ.

У інтервалі зміни напруги вхідного сигналу ПМ $\pm 0,5$ В миттєвий лінійний динамічний діапазон квадратурних каналів ПМ сягає не менше 75дБ (без автоматичного регулювання посилення). Нелінійність передатних (амплітудних) характеристик квадратурних каналів ПМ у динамічному діапазоні прийнятих сигналів - не гірше $\pm 0,001\%$.

Зміна фазової характеристики ПМ на постійній частоті в динамічному діапазоні прийнятих сигналів (фазоамплітудна залежність) не перевищує $\pm 0,1^\circ$. Зміна фазової характеристики ПМ на постійній частоті у динамічному діапазоні сигналу гетеродина становить не більше $\pm 0,1^\circ$.

Виходи квадратур навантажені на коаксіальну лінію зв'язку із хвильовим опором 50Ом довжиною не більше 2м, що працює на навантаження 50Ом.

Робоча температура повітря навколишнього середовища задана в межах від 0°C до $+70^\circ\text{C}$, відносна вологість до 90%.

Блок приймачів містить 8 приймальних модулів з 16 квадратурними каналами виготовлений у монолітному корпусі з відфрезерованими нішами під друковані плати. На блок з 16 прийомних кана-

лів існує лише один вхід сигналу гетеродина, один вхід контрольного сигналу і 8 антенних входів.

Блок аналого-цифрового перетворення та обробки сигналів пристрою-корисної моделі, що заявляється (далі по тексту - блок АЦП) у конкретному варіанті виконання (Фіг.5 та 6), відповідає наведеним нижче вимогам до апаратної й програ-

мної частини й здійснює обробку аналогових вхідних сигналів відповідно до функціональної схеми, наведеної на Фіг.1 (залежно від конкретної архітектури, записаної в ПЛІС.

Багатоканальні аналого-цифрові перетворювачі у кількості 4 мікросхем, у складі 8 каналів АЦП кожна, забезпечують:

Параметр	Значення параметра
Розрядність АЦП, біт	12
Максимальна частота дискретизації, МГц, не менш	50
Вхідний опір аналогового входу, Q	50
Діапазон вхідного сигналу, В	±1
Середньоквадратичне значення апертурного дребезгу при температурі +25°C, пс	1,7
Інтегральна нелінійність перетворення, LSB	±1
Диференціальна нелінійність перетворення, LSB	±0,5
Кількість ефективних розрядів на частоті 50 МГц, біт, не менш	11

У випадку застосування контролера шини CompactPCI у складі ПЛІС блоку АЦП він забезпечує передачу даних по шині 32 (64) біт/33МГц як у режимі SLAVE, так і в режимі MASTER. Плата блоку АЦП сумісна за рівнями сигналів шини CompactPCI як із шиною 3,3В, так і з шиною 5В.

Контролер CompactPCI забезпечує можливість зчитування й запису параметрів управління в 32 регістра користувача. Кожний з таких регістрів має розрядність 32 біт.

Блок АЦП за стійкістю до зовнішніх впливів відповідає вимогам, наведеним у таблиці:

Фактори, що Впливають	Характеристики факторів, що впливають	Значення фактору, що впливає
Синусоїдальна вібрація	Амплітуда прискорення, g	2
	Діапазон частот, Гц	1-200
Механічний удар: багаторазової дії	Пікове ударне прискорення, g	10
	Тривалість дії ударного прискорення, мс	5-10
Атмосферний знижений тиск	Робочий, Па (мм рт ст)	$6 \cdot 10^4$ (450)
	Граничний (при транспортуванні в неробочому стані), Па (мм рт ст)	$1,2 \cdot 10^4$ (90)
Підвищена температура середовища:	робоча, °C	+65
	гранична в неробочому стані. °C	+85
Знижена температура середовища:	робоча, °C	-40
	гранична в неробочому стані. °C	-40
Зміна температури середовища в неробочому стані:	Діапазон зміни температури, °C	Від -40 до +85
Підвищена вологість	Відносна вологість %, при температурі, °C	98
		+25

Показники надійності блоку АЦП відповідають вимогам, наведеним у наступній таблиці:

Параметр	Значення параметра
Наробіток на відмову, не менш	20000 годин
Технічний ресурс протягом 10 років, не менш	100 тис. годин

Блок АЦП може бути виконаний у вигляді плати стандарту CompactPCI 6U або її Rear-модуля висотою 6U. Конструкція плати (trasування провідників, кількість шарів) забезпечує:

- ізоляцію між аналоговими каналами - не менш 60дБ,
- рівень перешкод на аналогових входах від цифрових ланцюгів - не більше мінус 70дБ,
- рівень взаємних перешкод по сигнальних цифрових ланцюгах - не більше 100мВ,
- рівень перешкод по ланцюгах живлення, землі між будь-якою точкою плати - не більше 100мВ,

5) проходження цифрових сигналів (у межах друкованої плати) з наростанням/спадам фронтів 3-5 не без перекручувань.

6) Один із провідних шарів друкованої плати є суцільним (за винятком перехідних отворів) і з'єднується з ланцюгом "Корпус".

Конструкція плати забезпечує можливість використання мікросхем ПЛІС FPGA фірми Xilinx наступних типів: XC2VP20, XC2VP40, XC2VP50.

На друкованій платі блоку АЦП від мікросхеми FPGA до кожної із мікросхем пам'яті окремо розведені шина адреси, шина даних й керуючі сигнали.

Блок АЦП працює як від внутрішнього, так і від зовнішнього джерела тактового сигналу. Частота зовнішнього джерела тактового сигналу $f_{\text{факт}}=50\text{-}70\text{МГц}$. Перемикання джерела тактового сигналу здійснюється за допомогою запаяної у плату перемички.

Контакти JTG_TMS, JTG_TDI, JTG_TDO, JTG_TCK, призначені для програмування мікросхем FPGA і FLASH ROM за допомогою інтерфейсу JTAG і підключаються до відповідних ланцюгів блоку АЦП.

Передбачена можливість розміщення додаткового рознімання JTAG на друкованій платі блоку АЦП. Друкована плата блок АЦП разом із установленими на неї компонентами покрита двома шарами вологостійкого лаку. В якості рознімання для аналогових входів пристрою застосовуються рознімання SMA або SMB.

Модуль формування сигналів синхронізації та управління забезпечує видачу на АЦП службових сигналів і зчитування відліків АЦП із тактовою частотою 50МГц. Крім того, модуль формування сигналів синхронізації та управління забезпечує формування управляючих сигналів для модуля управління пам'яттю. Ці сигнали забезпечують запис даних до пам'яті з необхідним коефіцієнтом проріджування і перемикання між модулями управління мікросхемами для забезпечення потрібного алгоритму роботи.

Модуль комутації сигналів забезпечує формування інформаційних потоків для обробки сигналів і запису їх у пам'ять.

Модуль управління пам'яттю забезпечує буферизацію даних для обміну між модулями ПЛІС і

складається з двох незалежних модулів керування мікросхемами динамічної пам'яті. Кожен модуль керування мікросхемою забезпечує темп обміну даними при запису або зчитуванні - не менш 50 Мслів \times 32 у секунду і може знаходитися або в стані запису, або в стані зчитування незалежно один від одного.

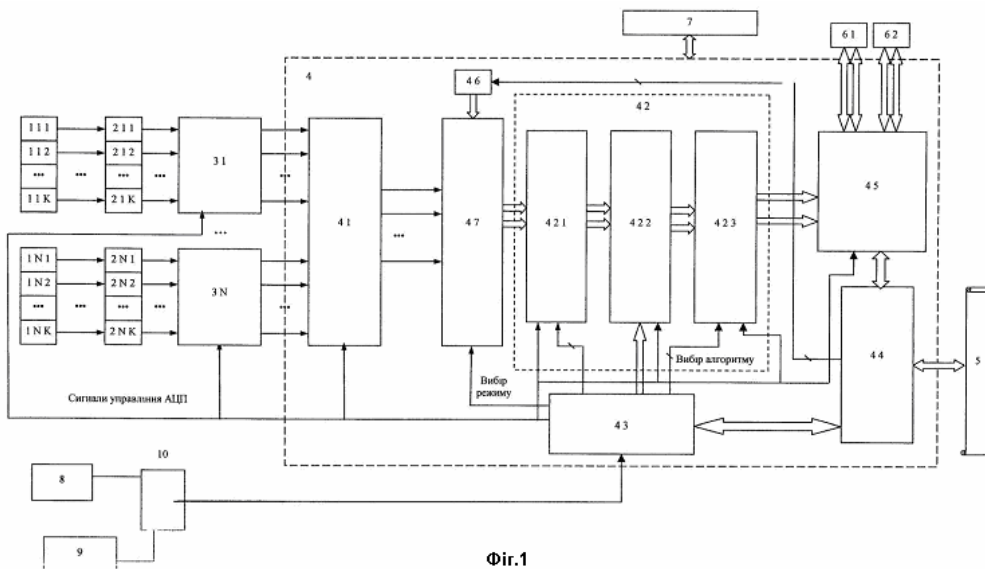
Модуль цифрової обробки, модуль управління пам'яттю, контролер передачі даних на інтерфейсну шину, модуль формування сигналів синхронізації та управління формуються усередині ПЛІС у вигляді скомпільованих ядер.

Джерела інформації:

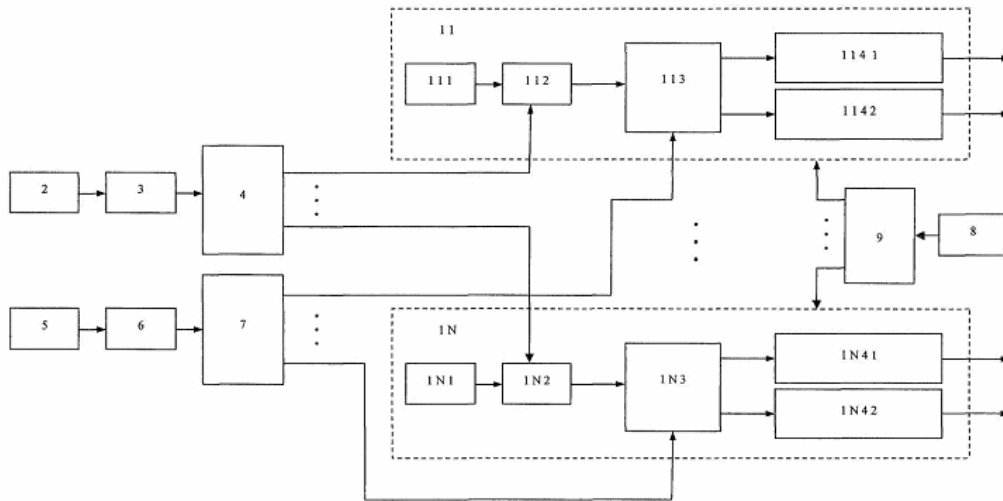
1. Roland Standert. Software Model of a Radar Receiver. // Master's Thesis Project. Linköping Royal Institute of Technology, Signals-Sensors-Systems Department, Stockholm. Report number: IR-SB-EX-0202. February 2002. - <http://www.s3.kth.se/signal/reports/exjobb/02/IR-SB-EX-0202.pdf>. - аналог.

2. Слюсар В.И. Схемотехника цифровых антенных решеток. Грани возможного. // Электроника: наука, технология, бизнес. - Москва. - 2004, №8, с. 34-40. - http://www.electronics.ru/pdf/8_2004/07.pdf. - аналог.

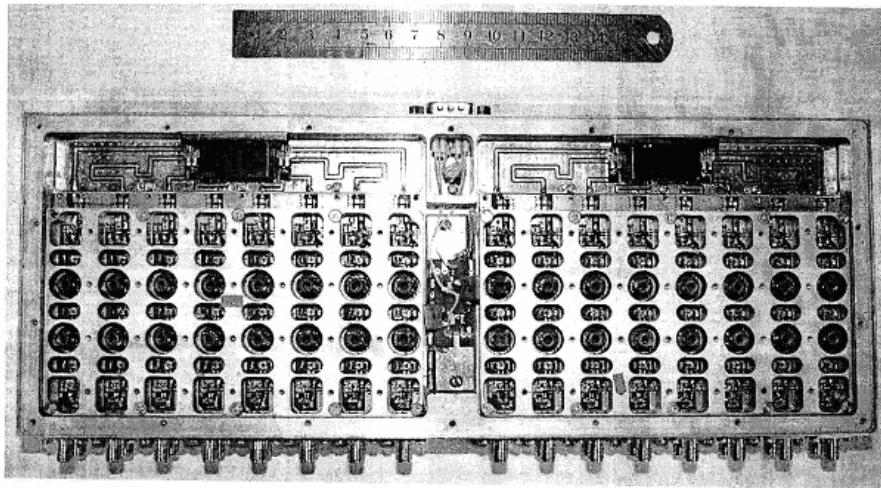
3. Патент України на корисну модель №33256. МПК 7 G01S13/08-13/44, G01S7/02-7/46, H02K15/00-15/16. Пристрій аналого-цифрового перетворення. // Слюсар В.І., Волощук І.В., Гриценко В.М., Бондаренко М.В., Малащук В.П., Шацман Л.Г., Нікітін М.М. - Заявка на видачу патенту України на корисну модель №u200802466 від 26.02.2008. - прототип.



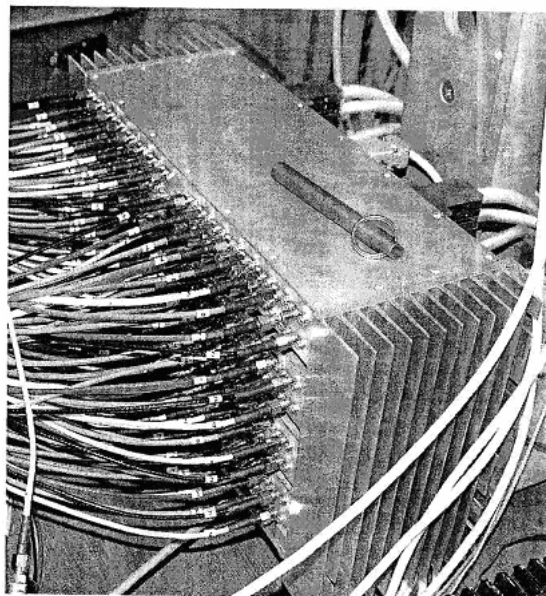
Фіг.1



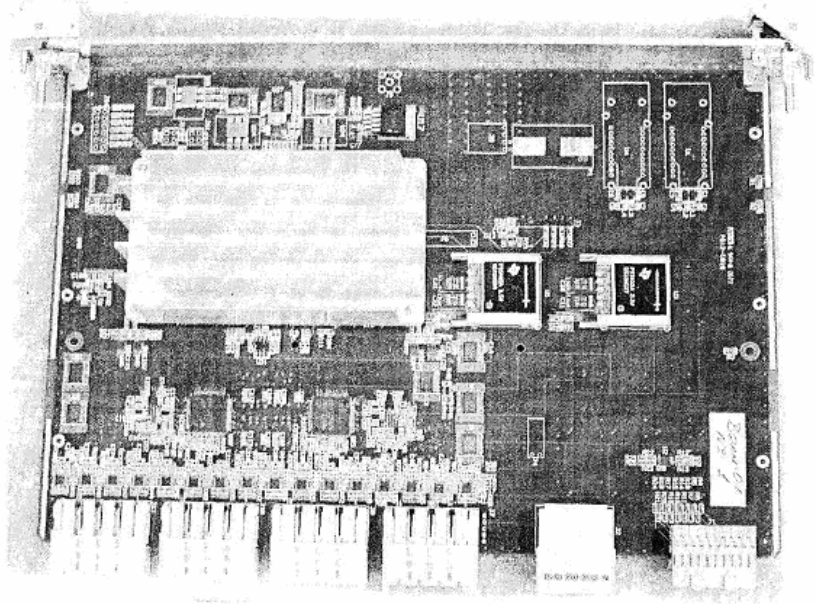
Φir.2



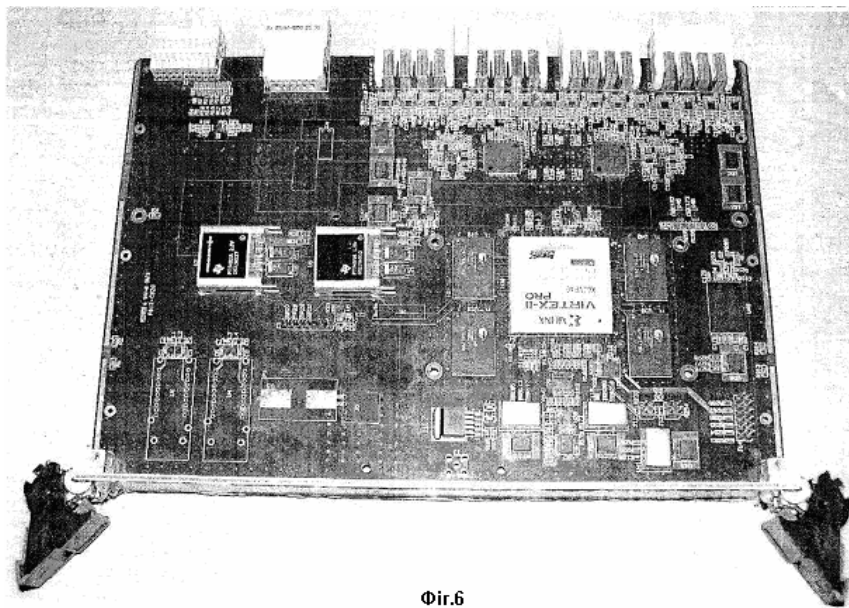
Φir.3



Φir.4



Фір.5



Фір.6