



УКРАЇНА

(19) **UA** (11) **38235** (13) **U**
(51) **МПК (2006)**
G01S 13/00
G01S 7/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС
ДО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ОБ'ЄДНАВЧИЙ МОДУЛЬ ЦИФРОВОЇ ОБРОБКИ СИГНАЛІВ

1

2

(21) u200810240

(22) 11.08.2008

(24) 25.12.2008

(46) 25.12.2008, Бюл.№ 24, 2008 р.

(72) СЛЮСАР ВАДИМ ІВАНОВИЧ, UA, ВОЛОЩУК ІГОР ВІКТОРОВИЧ, UA, ГРИЦЕНКО ВІКТОР МИКОЛАЙОВИЧ, UA, БОНДАРЕНКО МАКСИМ ВАСИЛЬОВИЧ, UA, МАЛАЩУК ВОЛОДИМИР ПЕТРОВИЧ, UA, ШАЦМАН ЛЕОНІД ГЕОРГІЄВИЧ, UA, НІКІТІН МИКОЛА МИХАЙЛОВИЧ, UA

(73) ТОВАРИСТВО З ОБМЕЖЕНОЮ ВІДПОВІДАЛЬНІСТЮ "СКАЙНЕТ LTD", UA

(57) 1. Об'єднавчий модуль цифрової обробки сигналів, який містить сигнальні входи, вхід зовнішньої синхронізації, внутрішній тактовий генератор, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), модулі оперативної пам'яті, постійний запам'ятовуючий пристрій, інтерфейсна шина, програмована логічна інтегральна схема (ПЛІС), в якій містяться модуль перетворення послідовного коду у паралельний, модуль комутації сигналів, цифровий буфер, контролер передачі даних на інтерфейсну шину, модуль керування пам'яттю, модуль формування сигналів синхронізації та керування, модуль цифрової обробки сигналів, що містить модуль цифрового діаграмоутворення, при цьому вхід зовнішньої синхронізації та вихід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів, шини даних модулів оперативної пам'яті підключені через модуль керування пам'яттю (входить до складу ПЛІС) до відповідних входів контролера передачі даних на інтерфейсну шину, а шини адресації та керування модулів оперативної пам'яті підключені до відповідних виходів модуля керування пам'яттю (входить до складу ПЛІС), постійний запам'ятовуючий пристрій підключений до входів завантаження архітектури ПЛІС, виходи модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС) підключені до першої групи входів модуля комутації сигналів, входи цифрового буфера підключені до відповідних виходів контролера передачі даних на інтерфейсну шину, а виходи - до другої групи входів модуля комутації сигналів, третій вхід якого підключений до першого виходу (виходу переключення режимів "Вибір режиму") модуля формування сигналів синхронізації та керування, виходи контролера передачі даних на інтерфейсну шину підключені до інтерфейсної шини пристрою, тактові входи модуля перетворення послідовного коду у паралельний, а також модуля цифрового діаграмоутворення, перші входи керування модуля керування пам'яттю підключені до другого виходу модуля формування сигналів синхронізації та керування (входить до складу ПЛІС), тактовий вхід модуля формування сигналів синхронізації та керування підключений до виходу комутатора тактових сигналів, входи керування модуля формування сигналів синхронізації та керування підключені до другої групи виходів контролера передачі даних на інтерфейсну шину, який відрізняється тим, що до складу ПЛІС додатково введені приймачі-передавачі інтерфейсів Rocket I/O, а до складу модуля цифрової обробки сигналів - модуль вилучення відгуків активних завад, модуль синтезу частотних фільтрів, модуль формування квадратів або абсолютних значень напруг для виявлення сигналів, крім того, модуль цифрового діаграмоутворення виконаний у вигляді послідовно з'єднаних модулів завершення цифрового діаграмоутворення за першою з кутових координат та модуля цифрового діаграмоутворення за другою з кутових координат, при цьому сигнальні входи підключені до відповідних входів приймачів-передавачів інтерфейсів Rocket I/O (входять до складу ПЛІС), виходи яких підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС), виходи якого підключені до першої групи входів модуля завершення цифрового діаграмоутворення за першою з кутових координат, виходи якого підключені до першої групи входів модуля цифрового діаграмоутворення за другою з кутових координат, виходи якого підключені до першої групи входів модуля вилучення відгуків активних завад, виходи якого підключені до першої групи входів модуля синтезу частотних фільтрів, виходи якого підключені до першої групи входів модуля формування квадратів або абсолютних значень напруг для виявлення сигналів, тактові входи приймачів-передавачів інтерфейсів Rocket I/O і контролера передачі даних на інтерфейсну шину підключені до другого виходу модуля

U
(13)

38235
(11)

UA
(19)

формування сигналів синхронізації та керування (входить до складу ПЛІС), до якого також підключені об'єднані тактові входи модуля вилучення відгуків активних завад, модуля синтезу частотних фільтрів, модуля формування квадратів або абсолютних значень напруг для виявлення сигналів, тактовий вхід модуля цифрового діаграмоутворення утворений об'єднаними тактовими входами модуля завершення цифрового діаграмоутворення за першою з кутових координат та модуля цифрового діаграмоутворення за другою з кутових координат, друга група входів модуля вилучення відгуків активних завад підключена до третьої групи виходів модуля формування сигналів синхронізації та керування, другі входи модуля завершення цифрового діаграмоутворення за першою з кутових координат, модуля цифрового діаграмоутворення за другою з кутових координат, модуля синтезу частотних фільтрів та модуля формування квадратів або абсолютних значень напруг для вияв-

лення сигналів підключені відповідно до четвертого, п'ятого, шостого та сьомого виходів модуля формування сигналів синхронізації та керування.

2. Об'єднаний модуль цифрової обробки сигналів за п. 1, який **відрізняється** тим, що як інтерфейсну шину використовують паралельну інтерфейсну шину, наприклад стандарту CompactPCI або CompactPCI Express, а як модулі оперативної пам'яті застосовують зовнішні по відношенню до ПЛІС мікросхеми пам'яті, наприклад, статичного або динамічного типу.

3. Об'єднаний модуль цифрової обробки сигналів за п. 1, який **відрізняється** тим, що як інтерфейсну шину використовують послідовний інтерфейс Rocket I/O або мідний чи оптичний варіанти виконання лінії Ethernet 1(10)Гбіт/с, а як модулі оперативної пам'яті застосовують зовнішні по відношенню до ПЛІС мікросхеми пам'яті, наприклад, динамічного типу.

Корисна модель відноситься до галузі радіотехніки, зокрема, до пристроїв багатоканальної цифрової обробки сигналів, і може бути використана для цифрової обробки сигналів в системах радіолокації, зв'язку, тощо.

Відомий модуль передачі даних LVDS SETLINK-22RL [1] російської фірми ЗАО "Скан Инжиниринг Телеком", який виконує роль сполучної ланки (об'єднаного модуля (ОМ)) між платами аналого-цифрового перетворення сигналів і керуємим комп'ютером. Модуль призначений для вирішення завдань цифрової обробки сигналів високої продуктивності й високошвидкісної передачі даних у стандарті LVDS.

До складу зазначеного модуля, зокрема, входять сигнальні входи, постійний запам'ятовуючий пристрій, інтерфейсна шина, програмовані логічні інтегральні схеми (ПЛІС), в яких містяться прийомо-передавачі інтерфейсів LVDS, модуль перетворення послідовного коду у паралельний, модуль цифрової обробки сигналів, контролер передачі даних на інтерфейсну шину, модуль формування сигналів синхронізації та управління, при цьому постійний запам'ятовуючий пристрій підключений до входів завантаження архітектури ПЛІС, виходи контролера передачі даних на інтерфейсну шину підключені до інтерфейсної шини пристрою, сигнальні входи підключені до відповідних входів прийомо-передавачів інтерфейсів LVDS (входять до складу ПЛІС), виходи яких підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС).

Перехід до використання об'єднаних плат SETLINK-22RL, як вказано у [1], є далекоглядним схемотехнічним рішенням. Зв'язок між платами аналого-цифрового перетворення сигналів та ОМ у версії "Скан Инжиниринг Телеком" здійснюється по оптоволоконним гальванічно розв'язаним лініям, що дозволяє мінімізувати вплив цифрової частини на аналоговий сегмент обробки сигналів. При цьому реалізований протокол LVDS дозволяє досягти пропускної здатності, притаманної інтерфейсній шині CompactPCI 64 біт/33 МГц, а завдяки

розпаралеленню завантаження даних одночасно з усіх пристроїв аналого-цифрового перетворення загальний вигаш у продуктивності у порівнянні з інтерфейсом CompactPCI, дорівнює кількості задіяних каналів послідовної передачі.

Модуль, маючи 12 каналів передачі даних на відстань до 4 метрів, представляє ефективне рішення для організації високошвидкісної передачі даних у системах, конструктивно скомпонованих у технологічній шафі або кількох шафах типорозміру 6U.

Недоліком пристрою-аналогу SETLINK-22RL є відсутність у його складі модулів оперативної пам'яті, що надто обмежує можливості реалізації операцій з цифрової обробки сигналів. Крім того, використання у складі пристрою п'яти ПЛІС призводить до надмірного споживання електроенергії та потребує вирішення проблеми тепловідведення.

Відомий модуль передачі даних LVDS SETLINK-22TL [1] російської фірми ЗАО "Скан Инжиниринг Телеком", що призначений для цифрової обробки сигналів.

До складу зазначеного модуля, зокрема, входять сигнальні входи, модулі оперативної пам'яті, постійний запам'ятовуючий пристрій, інтерфейсна шина, програмовані логічні інтегральні схеми (ПЛІС), в яких містяться прийомо-передавачі інтерфейсів LVDS, модуль перетворення послідовного коду у паралельний, модуль цифрової обробки сигналів, контролер передачі даних на інтерфейсну шину, модуль управління пам'яттю, модуль формування сигналів синхронізації та управління, при цьому шини даних модулів оперативної пам'яті підключені через модуль управління пам'яттю (входить до складу ПЛІС) до відповідних входів контролера передачі даних на інтерфейсну шину, а шини адресації та управління модулів оперативної пам'яті підключені до відповідних входів модуля управління пам'яттю (входить до складу ПЛІС), постійний запам'ятовуючий пристрій підключений до входів завантаження архітектури ПЛІС, виходи контролера передачі даних на інтерфейсну

шину підключені до інтерфейсної шини пристрою, сигнальні входи підключені до відповідних входів прийомо-передавачів інтерфейсів LVDS (входять до складу ПЛІС), виходи яких підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС).

На відміну від пристрою SETLINK-22RL перевагою технічного рішення SETLINK-22TL є наявність у його складі модулів оперативної пам'яті. Аналіз структури ОМ типу SETLINK-22TL приводить до висновку про можливість реалізації за допомогою ОМ операції цифрового діаграмоутворення, синтезу частотних фільтрів по кожному із просторових променів діаграми спрямованості у випадку цифрової антенної решітки.

Недоліком пристрою-аналогу SETLINK-22TL є використання кількох ПЛІС, що призводить до надмірного споживання електричної енергії пристроєм, ускладнює розведення сигнальних ліній на друкованій платі. Крім того, пристрій-аналог має обмежений перелік операцій з цифрової обробки сигналів.

Відомий модуль цифрової обробки сигналів на ПЛІС серії Virtex-II ПЛІСАР-002М [1] російської фірми ЗАО "Скан Инжиниринг Телеком".

До складу зазначеного модуля, зокрема, входять сигнальні входи, вхід зовнішньої синхронізації, модулі оперативної пам'яті, постійний запам'ятовувачий пристрій, інтерфейсна шина, програмовані логічні інтегральні схеми (ПЛІС), в яких містяться прийомо-передавачі інтерфейсів LVDS, модуль перетворення послідовного коду у паралельний, контролер передачі даних на інтерфейсну шину, модуль управління пам'яттю, модуль формування сигналів синхронізації та управління, модуль цифрової обробки сигналів, при цьому шини даних модулів оперативної пам'яті підключені через модуль управління пам'яттю (входить до складу ПЛІС) до відповідних входів контролера передачі даних на інтерфейсну шину, а шини адресації та управління модулів оперативної пам'яті підключені до відповідних виходів модуля управління пам'яттю (входить до складу ПЛІС), постійний запам'ятовувачий пристрій підключений до входів завантаження архітектури ПЛІС, виходи контролера передачі даних на інтерфейсну шину підключені до інтерфейсної шини пристрою, сигнальні входи підключені до відповідних входів прийомо-передавачів інтерфейсів LVDS (входять до складу ПЛІС), виходи яких підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС).

Наявність входу зовнішньої синхронізації дозволяє використовувати пристрій ПЛІСАР-002М у складі систем когерентної обробки сигналів. В ньому може бути реалізоване цифрове діаграмоутворення, синтез частотних фільтрів по кожному із просторових променів діаграми спрямованості у випадку цифрової антенної решітки.

Недоліком пристрою-аналогу ПЛІСАР-002М, як і згаданих раніше SETLINK-22RL та SETLINK-22TL, є використання кількох ПЛІС, що призводить до надмірного споживання електричної енергії пристроєм, ускладнює розведення сигнальних ліній на друкованій платі. Крім того, пристрій-

аналог має обмежений перелік операцій з цифрової обробки сигналів.

Відомий об'єднаний модуль цифрової обробки сигналів [1], виконаний на базі ПЛІС. Цей об'єднаний модуль призначений для збору по послідовних інтерфейсах результатів первинної обробки сигналів у пристроях аналого-цифрового перетворення сигналів, виконання операції цифрового діаграмоутворення, вилучення сигналів завад за відомими кутовими координатами завадопостановників, що завантажуються з керуючого процесора, формування сітки частотних фільтрів і передачі оброблених масивів даних в оперативну пам'ять модуля керуючого комп'ютера по шині CompactPCI.

До складу модуля - аналогу, згідно зі схемою, наведеною у [1], входять сигнальні входи, модулі оперативної пам'яті, інтерфейсна шина, програмовані логічні інтегральні схеми (ПЛІС), в яких містяться прийомо-передавачі інтерфейсів Rocket I/O, модуль перетворення послідовного коду у паралельний, модуль цифрової обробки сигналів, контролер передачі даних на інтерфейсну шину, модуль управління пам'яттю, модуль формування сигналів синхронізації та управління.

Відмінною рисою пристрою-аналогу є паралельна цифрова обробка сигналів з багатьох вхідних каналів за допомогою сукупності з двох послідовно з'єднаних ПЛІС, використання ешелонованого розташування ПЛІС на платі, що дозволяє розділити функції між різними ПЛІС відповідно до етапів цифрової обробки даних. Для передачі даних між ешелонами ПЛІС використовується послідовний інтерфейс Rocket I/O, що істотно спрощує розведення друкованої плати.

У ПЛІС першого ешелону, можуть бути реалізовані операції цифрового діаграмоутворення над вихідними даними кількох плат аналого-цифрового перетворення, а також вилучення завадових сигналів по відомих кутових координатах завадопостановників, що завантажуються з керуючого процесора.

У другому ешелоні ПЛІС може здійснюватись формування сітки частотних фільтрів, а також можуть бути реалізовані модуль управління пам'яттю, модуль формування сигналів синхронізації та управління, контролер передачі даних на інтерфейсну шину, що забезпечує передачу результатів цифрової обробки сигналів через шину CompactPCI на подальший обчислювальний пристрій.

Для проведення контролю функціонування ОМ можуть використовуватися нарівні з основними також спеціальні тестові архітектури ПЛІС, записані у постійний запам'ятовувачий пристрій, що дозволяють діагностувати правильність функціонування ПЛІС на конкретних фазах обробки сигналів.

До недоліків пристрою-аналогу слід віднести використання ешелонованого розташування модулів обробки даних у різних ПЛІС, що призводить до надмірного теплового розсіювання ними потужності та додаткового споживання електричної енергії пристроєм, надто ускладнює розведення електричних сигнальних ліній на друкованій платі, спонукає виготовляти її з великою кількістю друкованих шарів. Це призводить до збільшення собівартості.

рності пристрою. Крім того, наявність надмірної кількості ПЛІС погіршує електромагнітну сумісність модулів, що застосовуються у пристрої, через випромінювання додаткових завад послідовними інтерфейсними шинами, що з'єднують мікросхеми ПЛІС і виконують роль своєрідних антен та погіршують імпеданс ліній розповсюдження сигналів.

Найбільш близьким технічним рішенням до заявленої корисної моделі, є пристрій, запропонований у [2], до складу якого, зокрема, входять сигнальні входи, вхід зовнішньої синхронізації, внутрішній тактовий генератор, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), модулі оперативної пам'яті, постійний запам'ятовуючий пристрій, інтерфейсна шина, програмована логічна інтегральна схема (ПЛІС), в якій містяться модуль перетворення послідовного коду у паралельний, модуль комутації сигналів, цифровий буфер, контролер передачі даних на інтерфейсну шину, модуль управління пам'яттю, модуль формування сигналів синхронізації та управління, модуль цифрової обробки сигналів, що містить модуль цифрового діаграмоутворення, при цьому вхід зовнішньої синхронізації та вихід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів, шини даних модулів оперативної пам'яті підключені через модуль управління пам'яттю (входить до складу ПЛІС) до відповідних входів контролера передачі даних на інтерфейсну шину, а шини адресації та управління модулів оперативної пам'яті підключені до відповідних виходів модуля управління пам'яттю (входить до складу ПЛІС), постійний запам'ятовуючий пристрій підключений до входів загрузки архітектури ПЛІС, виходи модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС) підключені до першої групи входів модуля комутації сигналів, входи цифрового буфера підключені до відповідних виходів контролера передачі даних на інтерфейсну шину, а виходи - до другої групи входів модуля комутації сигналів, третій вхід якого підключений до першого виходу (виходу переключення режимів "Вибір режиму") модуля формування сигналів синхронізації та управління, виходи контролера передачі даних на інтерфейсну шину підключені до інтерфейсної шини пристрою, тактові входи модуля перетворення послідовного коду у паралельний, а також модуля цифрового діаграмоутворення, перші входи управління модуля управління пам'яттю підключені до другого виходу модуля формування сигналів синхронізації та управління (входить до складу ПЛІС), тактовий вхід модуля формування сигналів синхронізації та управління підключений до виходу комутатора тактових сигналів, входи управління модуля формування сигналів синхронізації та управління підключені до другої групи виходів контролера передачі даних на інтерфейсну шину.

Відмінною рисою пристрою, обраного за прототип, є паралельна цифрова обробка сигналів з багатьох вхідних каналів в одній ПЛІС, використання розподілу функцій між різними модулями у складі ПЛІС відповідно до етапів цифрової обробки даних.

До недоліків пристрою-прототипу слід віднести його спрямованість лише на аналого-цифрове перетворення сигналів, що не дозволяє використовувати його в якості об'єднаного модуля, й функціонально обмежений перелік модулів цифрової обробки сигналів у складі ПЛІС.

В основу корисної моделі покладене завдання підвищення основних технічних характеристик об'єднаного модуля цифрової обробки сигналів.

Очікуваний технічний результат від заявленої корисної моделі полягає у забезпеченні можливості паралельної багатоканальної цифрової обробки сигналів за широкою номенклатурою алгоритмів у складі ПЛІС, поліпшення електромагнітної сумісності мікросхем, що застосовуються у пристрої.

Суть нововведень до корисної моделі порівняно з прототипом полягає у тому, що до складу ПЛІС додатково введені прийомо-передавачі інтерфейсів Rocket I/O, а до складу модуля цифрової обробки сигналів - модуль вилучення відгуків активних завад, модуль синтезу частотних фільтрів, модуль формування квадратів або абсолютних значень напруг для виявлення сигналів, крім того, модуль цифрового діаграмоутворення виконаний у вигляді послідовно з'єднаних модулів завершення цифрового діаграмоутворення за першою з кутових координат та модуля цифрового діаграмоутворення за другою з кутових координат, при цьому сигнальні входи підключені до відповідних входів прийомо-передавачів інтерфейсів Rocket I/O (входять до складу ПЛІС), виходи яких підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС), виходи якого підключені до першої групи входів модуля завершення цифрового діаграмоутворення за першою з кутових координат, виходи якого підключені до першої групи входів модуля цифрового діаграмоутворення за другою з кутових координат, виходи якого підключені до першої групи входів модуля вилучення відгуків активних завад, виходи якого підключені до першої групи входів модуля синтезу частотних фільтрів, виходи якого підключені до першої групи входів модуля формування квадратів або абсолютних значень напруг для виявлення сигналів, тактові входи прийомо-передавачів інтерфейсів Rocket I/O і контролера передачі даних на інтерфейсну шину підключені до другого виходу модуля формування сигналів синхронізації та управління (входить до складу ПЛІС), до якого також підключені об'єднані тактові входи модуля вилучення відгуків активних завад, модуля синтезу частотних фільтрів, модуля формування квадратів або абсолютних значень напруг для виявлення сигналів, тактовий вхід модуля цифрового діаграмоутворення утворений об'єднаними тактовими входами модуля завершення цифрового діаграмоутворення за першою з кутових координат та модуля цифрового діаграмоутворення за другою з кутових координат, друга група входів модуля вилучення відгуків активних завад підключена до третьої групи виходів модуля формування сигналів синхронізації та управління, другі входи модуля завершення цифрового діаграмоутворення за першою з кутових координат, модуля цифрового діаграмоутворення за другою з кутових координат, модуля синтезу частотних фі-

льтрів та модуля формування квадратів або абсолютних значень напруг для виявлення сигналів підключені відповідно до четвертого, п'ятого, шостого та сьомого виходів модуля формування сигналів синхронізації та управління.

Перший варіант конкретної реалізації заявленого пристрою відрізняється тим, що в якості інтерфейсної шини використовується паралельна інтерфейсна шина, наприклад, стандарту CompactPCI або CompactPCI Express, а в якості модулів оперативної пам'яті застосовуються зовнішні по відношенню до ПЛІС мікросхеми пам'яті, наприклад, статичного або динамічного типу.

Другий варіант конкретної реалізації заявленої пристрою відрізняється тим, що в якості інтерфейсної шини використовується послідовний інтерфейс Rocket I/O або мідний чи оптичний варіанти виконання лінії Ethernet 1(10) Гбіт/с, а в якості модулів оперативної пам'яті застосовуються зовнішні по відношенню до ПЛІС мікросхеми пам'яті, наприклад, динамічного типу.

Порівняльний аналіз технічного рішення, яке заявляється, із прототипом, дозволяє зробити висновок, що заявлений пристрій об'єднаного модуля цифрової обробки сигналів суттєво відрізняється тим, що у ньому, на відміну від прототипу, використано додатково введені модулі для забезпечення цифрової обробки сигналів, зокрема: модуль завершення цифрового діаграмоутворення за першою з кутових координат та модуль цифрового діаграмоутворення за другою з кутових координат, модуль вилучення відгуків активних завад, модуль синтезу частотних фільтрів та модуль формування квадратів або абсолютних значень напруг для виявлення сигналів. Крім того, вся обробка даних здійснюється в одній мікросхемі ПЛІС.

Таким чином, об'єднаний модуль цифрової обробки сигналів, який заявляється, відповідає критерію "новизна" корисної моделі.

Суть корисної моделі пояснюється за допомогою креслень, де на Фіг. представлена структурна схема основного варіанту реалізації об'єднаного модуля цифрової обробки сигналів, який заявляється.

Цифрами на Фіг. позначені:

- 1.1 - 1.N - Сигнальні входи;
- 2 - ПЛІС;
- 2.1.1 - 2.1.N - Прийомо-передавачі інтерфейсів Rocket I/O;
- 2.2 - Модуль перетворення послідовного коду у паралельний;
- 2.3 - Модуль комутації сигналів;
- 2.4 - Цифровий буфер;
- 2.5 - Модуль цифрової обробки сигналів;
- 2.5.1 - Модуль цифрового діаграмоутворення;
- 2.5.1.1 - Модуль завершення цифрового діаграмоутворення за першою з кутових координат;
- 2.5.1.2 - Модуль цифрового діаграмоутворення за другою з кутових координат;
- 2.5.2 - Модуль вилучення відгуків активних завад;
- 2.5.3 - Модуль синтезу частотних фільтрів;
- 2.5.4 - Модуль формування квадратів або абсолютних значень напруг для виявлення сигналів;
- 2.6 - Модуль формування сигналів синхронізації та управління;

2.7 - Контролер передачі даних на інтерфейсну шину;

2.8 - Модуль управління пам'яттю;

3 - Інтерфейсна шина;

4.1 - Модуль оперативної пам'яті RAM1;

4.2 - Модуль оперативної пам'яті RAM2;

5 - Постійний запам'ятовуючий пристрій;

6 - Вхід зовнішньої синхронізації;

7 - Внутрішній тактовий генератор;

8 - Комутатор тактових сигналів.

Об'єднаний модуль цифрової обробки сигналів, що наведено на Фіг.1, до складу якого входять сигнальні входи 1.1.1 - 1.N.К, вхід зовнішньої синхронізації 6, внутрішній тактовий генератор 7, комутатор тактових сигналів 8 (з внутрішнього тактового генератора 7 та входу зовнішньої синхронізації 6), модулі оперативної пам'яті 4.1, 4.2, постійний запам'ятовуючий пристрій 5, Інтерфейсна шина 3, програмована логічна інтегральна схема (ПЛІС) 2, в якій містяться модуль перетворення послідовного коду у паралельний 2.2, модуль комутації сигналів 2.3, цифровий буфер 2.4, контролер передачі даних на інтерфейсну шину 2.7, модуль управління пам'яттю 2.8, модуль формування сигналів синхронізації та управління 2.6, модуль цифрової обробки сигналів 2.5, що містить модуль цифрового діаграмоутворення 2.5.1, при цьому вхід зовнішньої синхронізації 6 та вихід внутрішнього тактового генератора 7 підключені до відповідних входів комутатора тактових сигналів 8, шини даних модулів оперативної пам'яті 4.1, 4.2 підключені через модуль управління пам'яттю 2.8 (входить до складу ПЛІС 2) до відповідних входів контролера передачі даних на інтерфейсну шину 2.7, а шини адресації та управління модулів оперативної пам'яті 4.1, 4.2 підключені до відповідних виходів модуля управління пам'яттю 2.8 (входить до складу ПЛІС 2), постійний запам'ятовуючий пристрій 5 підключений до входів завантаження архітектури ПЛІС 2, виходи модуля перетворення послідовного коду у паралельний 2.2 (входить до складу ПЛІС 2) підключені до першої групи входів модуля комутації сигналів 2.3, входи цифрового буфера 2.4 підключені до відповідних виходів контролера передачі даних на інтерфейсну шину 2.7, а виходи - до другої групи входів модуля комутації сигналів 2.3, третій вхід якого підключений до першого виходу (виходу переключення режимів "Вибір режиму") модуля формування сигналів синхронізації та управління 2.6, виходи контролера передачі даних на інтерфейсну шину 2.7 підключені до інтерфейсної шини 3 пристрою, тактові входи модуля перетворення послідовного коду у паралельний 2.2, а також модуля цифрового діаграмоутворення 2.5.1, перші входи управління модуля управління пам'яттю 2.8 підключені до другого виходу модуля формування сигналів синхронізації та управління 2.6 (входить до складу ПЛІС 2), тактовий вхід модуля формування сигналів синхронізації та управління 2.6 підключений до виходу комутатора тактових сигналів 8, входи управління модуля формування сигналів синхронізації та управління 2.6 підключені до другої групи виходів контролера передачі даних на інтерфейсну шину 2.7, який відрізняється тим, що до складу ПЛІС 2 додатково введені прийомо-передавачі

інтерфейсів Rocket I/O 2.1.1 - 2.1.N, а до складу модуля цифрової обробки сигналів 2.5 - модуль вилучення відгуків активних завад 2.5.2, модуль синтезу частотних фільтрів 2.5.3, модуль формування квадратів або абсолютних значень напруг для виявлення сигналів 2.5.4, крім того, модуль цифрового діаграмоутворення 2.5.1 виконаний у вигляді послідовно з'єднаних модуля завершення цифрового діаграмоутворення за першою з кутових координат 2.5.1.1 та модуля цифрового діаграмоутворення за другою з кутових координат 2.5.1.2, при цьому сигнальні входи 1.1.1 - 1.N.K підключені до відповідних входів прийомо-передавачів інтерфейсів Rocket I/O 2.1.1 - 2.1.N (входять до складу ПЛІС 2), виходи яких підключені до відповідних входів модуля перетворення послідовного коду у паралельний 2.2 (входить до складу ПЛІС 2), виходи якого підключені до першої групи входів модуля завершення цифрового діаграмоутворення за першою з кутових координат 2.5.1.1, виходи якого підключені до першої групи входів модуля цифрового діаграмоутворення за другою з кутових координат 2.5.1.2, виходи якого підключені до першої групи входів модуля вилучення відгуків активних завад 2.5.2, виходи якого підключені до першої групи входів модуля синтезу частотних фільтрів 2.5.3, виходи якого підключені до першої групи входів модуля формування квадратів або абсолютних значень напруг для виявлення сигналів 2.5.4, тактові входи прийомо-передавачів інтерфейсів Rocket I/O 2.1.1 - 2.1.N і контролера передачі даних на інтерфейсну шину 2.7 підключені до другого виходу модуля формування сигналів синхронізації та управління 2.6 (входить до складу ПЛІС 2), до якого також підключені об'єднані тактові входи модуля вилучення відгуків активних завад 2.5.2, модуля синтезу частотних фільтрів 2.5.3, модуля формування квадратів або абсолютних значень напруг для виявлення сигналів 2.5.4, тактовий вхід модуля цифрового діаграмоутворення 2.5.1 утворений об'єднаними тактовими входами модуля завершення цифрового діаграмоутворення за першою з кутових координат 2.5.1.1 та модуля цифрового діаграмоутворення за другою з кутових координат 2.5.1.2, друга група входів модуля вилучення відгуків активних завад 2.5.2 підключена до третьої групи виходів модуля формування сигналів синхронізації та управління 2.6, другі входи модуля завершення цифрового діаграмоутворення за першою з кутових координат 2.5.1.1, модуля цифрового діаграмоутворення за другою з кутових координат 2.5.1.2, модуля синтезу частотних фільтрів 2.5.3 та модуля формування квадратів або абсолютних значень напруг для виявлення сигналів 2.5.4 підключені відповідно до четвертого, п'ятого, шостого та сьомого виходів модуля формування сигналів синхронізації та управління 2.6.

Принцип роботи основного варіанту заявлено пристрою полягає в наступному.

На етапі підготовки пристрою до роботи за допомогою комутатора тактових сигналів 8 вибирають режим подальшої роботи пристрою: з тактуванням сигналами такту, що подають на вхід зовнішньої синхронізації 6, або ж сигналами такту з внутрішнього тактового генератора 7.

На етапі ініціювання роботи пристрою одразу після вмикання живлення відповідні тактові сигнали надходять на вхід модуля формування сигналів синхронізації та управління 2.6, що входить до складу ПЛІС 2. Крім того, з постійного запам'ятовуючого пристрою 5 через відповідні входи ПЛІС 2 здійснюють загрузку архітектури ПЛІС 2. Далі через інтерфейсну шину 3 і контролер передачі даних на інтерфейсну шину 2.7 у модуль формування сигналів синхронізації та управління 2.6 записують параметри управління роботою пристрою та параметри управління цифровою обробкою сигналів, зокрема: коди управління, що визначають розмірність швидкого перетворення Фур'є (ШПФ) для операцій цифрового діаграмоутворення за двома кутовими координатами та для операції синтезу частотних фільтрів, вагові множники для вилучення відгуків активних завад (або кількість та кутові координати постановників активних завад), вибір операцій формування квадратів або абсолютних значень напруг для виявлення сигналів, тощо.

У режимі тестування алгоритмів цифрової обробки сигналів на етапі ініціювання роботи пристрою на додаток до описаних операцій через інтерфейсну шину 3 і контролер передачі даних на інтерфейсну шину 2.7 у цифровий буфер 2.4 записують тестові цифрові коди, а у модуль формування сигналів синхронізації та управління 2.6 записують команду на переключення режимів (одиничний рівень сигналу "Вибір режиму"). Під дією цієї команди модуль комутації сигналів 2.2 перемикають у стан, коли цифрові дані на вхід модуля цифрової обробки сигналів 2.5 в основному режимі роботи пристрою будуть надходити з цифрового буфера 2.4, а не з модуля перетворення послідовного коду у паралельний 2.2. Далі, за допомогою тестових кодів, записаних у цифровий буфер 2.4, контролюють працездатність модуля цифрової обробки сигналів 2.5 шляхом зчитування у подальший обчислювальний пристрій результатів обробки у ПЛІС 2 тестової послідовності даних.

Для ініціювання роботи пристрою, що заявляється, у основному режимі через інтерфейсну шину 3 і контролер передачі даних на інтерфейсну шину 2.7 у модуль формування сигналів синхронізації та управління 2.6 записують команду на відміну переключення режимів (нульовий рівень сигналу "Вибір режиму"). Під дією цього сигналу модуль комутації сигналів 2.2 перемикають у стан, коли цифрові дані на вхід модуля цифрової обробки сигналів 2.5 в основному режимі роботи пристрою будуть надходити з модуля перетворення послідовного коду у паралельний 2.2, а не з цифрового буфера 2.4.

У основному режимі роботи пристрою, що заявляється, цифрові дані з виходів N фізичних каналів поступають через послідовні диференціальні інтерфейси LVDS (по одній диференціальній парі ліній на кожен з N каналів) на сигнальні входи 1.1 - 1.N й далі - на відповідні входи прийомо-передавачів інтерфейсів Rocket I/O 2.1.1 - 2.1.N у складі ПЛІС 2. Тактування прийомо-передавачів інтерфейсів Rocket I/O 2.1.1 - 2.1.N здійснюють за допомогою сигналів тактування, які надходять на тактові входи прийомо-передавачів інтерфейсів

Rocket I/O 2.1.1 - 2.1.N з другого виходу модуля формування сигналів синхронізації та управління 2.6.

З виходів прийомо-передавачів інтерфейсів Rocket I/O 2.1.1 - 2.1.N дані надходять на вхід модуля перетворення послідовного коду у паралельний 2.2 (входить до складу ПЛІС 2). Далі цифрові відліки напруг сигналів у паралельному коді поступають через модуль перетворення послідовного коду у паралельний 2.2 на першу групу входів модуля завершення цифрового діаграмоутворення за першою з кутових координат 2.5.1.1, які одночасно є першою групою входів модуля цифрової обробки сигналів 2.5 та модуля цифрового діаграмоутворення 2.5.1. У зазначеному модулі завершення цифрового діаграмоутворення за першою з кутових координат 2.5.1.1 реалізовані завершальні етапи процедури цифрового діаграмоутворення за допомогою операції швидкого перетворення Фур'є, що має розмірність, наприклад, 16 або 32 точок. Вибір конкретного алгоритму здійснюється за допомогою сигналу управління, що надходить з четвертого виходу модуля формування сигналів синхронізації та управління 2.6. Крім того, з другого виходу модуля формування сигналів синхронізації та управління 2.6 на тактовий вхід модуля цифрового діаграмоутворення 2.5.1 надходять необхідні тактові сигнали.

Далі у модулі цифрового діаграмоутворення за другою з кутових координат 2.5.1.2 виконують процедуру цифрового діаграмоутворення для другої куткової координати за допомогою операції швидкого перетворення Фур'є, що має розмірність, наприклад, 4, 8, 16 або 32 точок. Вибір конкретного алгоритму здійснюється за допомогою сигналу управління, що надходить з п'ятого виходу модуля формування сигналів синхронізації та управління 2.6.

Результати обробки даних у модулі цифрового діаграмоутворення 2.5.1 надходять на перші входи модуля вилучення відгуків активних завад 2.5.2, в якому для кожного з променів діаграми спрямованості, синтезованих у модулі цифрового діаграмоутворення 2.5.1, виконується операція по вилученню відгуків активних завад. На другі входи модуля вилучення відгуків активних завад 2.5.2 поступають з третьої групи виходів модуля формування сигналів синхронізації та управління 2.6 параметри управління цифрою обробкою сигналів, зокрема, вагові множники для вилучення відгуків активних завад (або кількість та кутові координати постановників активних завад). Крім того, з другого виходу модуля формування сигналів синхронізації та управління 2.6 на тактовий вхід модуля вилучення відгуків активних завад 2.5.2 надходять необхідні тактові сигнали.

З виходів модуля вилучення відгуків активних завад 2.5.2 очищені від завадових напруг відліки сигналів надходять на перші входи модуля синтезу частотних фільтрів 2.5.3. В ньому за допомогою операції ШПФ виконується синтез частотних фільтрів для кожного з променів діаграми спрямованості, синтезованих у модулі цифрового діаграмоутворення 2.5.1. На другі входи модуля синтезу частотних фільтрів 2.5.3 з шостого виходу модуля формування сигналів синхронізації та управління

2.6 надходить сигнал управління, що визначає розмірність операції ШПФ. Тактові сигнали надходять на тактовий вхід модуля синтезу частотних фільтрів 2.5.3 з другого виходу модуля формування сигналів синхронізації та управління 2.6.

Отримані у модулі синтезу частотних фільтрів 2.5.3 результати обробки сигналів далі поступають на першу групу входів модуля формування квадратів або абсолютних значень напруг для виявлення сигналів 2.5.4. Згідно з назвою цього модуля, у ньому здійснюють формування квадратів модулів або абсолютних значень напруг сигналів, що є необхідною передумовою виконання подальшої операції виявлення сигналів.

Вибір операцій формування квадратів або абсолютних значень напруг для виявлення сигналів здійснюють за допомогою сигналу управління, що поступає на другі входи модуля формування квадратів або абсолютних значень напруг для виявлення сигналів 2.5.4 з сьомого виходу модуля формування сигналів синхронізації та управління 2.6. Тактові сигнали надходять на тактовий вхід модуля формування квадратів або абсолютних значень напруг для виявлення сигналів 2.5.4 з другого виходу модуля формування сигналів синхронізації та управління 2.6.

Результати обробки сигналів у модулі формування квадратів або абсолютних значень напруг для виявлення сигналів 2.5.4 з його виходу поступають через модуль управління пам'яттю 2.8 (входить до складу ПЛІС 2) на шину даних модулів оперативної пам'яті 4.1, 4.2. Запис даних здійснюють в один з банків пам'яті, тоді як з іншого банку записані раніше дані зчитують через модуль управління пам'яттю 2.8, контролер передачі даних на інтерфейсну шину 2.7 та саму інтерфейсну шину 3 у подальший обчислювальний пристрій.

Пристрій-корисна модель, що заявляється (далі по тексту - пристрій) у конкретному варіанті виконання відповідає наведеним нижче вимогам до апаратної й програмної частини й здійснює обробку вхідних сигналів відповідно до функціональної схеми, наведеної на Фіг.

У випадку застосування контролера шини CompactPCI у складі ПЛІС пристрою він забезпечує передачу даних по шині 32 (64) біт/33МГц як у режимі SLAVE, так і в режимі MASTER. Плата пристрою сумісна за рівнями сигналів шини CompactPCI як із шиною 3,3В, так і з шиною 5В.

Контролер CompactPCI забезпечує можливість зчитування й запису параметрів управління в 32 регістра користувача. Кожний з таких регістрів має розрядність 32 біт. Їмність модулів оперативної пам'яті становить 4x1Mx72 біт (32 Мбайт).

Показники надійності пристрою відповідають вимогам, наведеним у наступній таблиці:

Таблиця 1

Параметр	Значення параметра
Наробіток на відмову, не менш	20000 годин
Технічний ресурс протягом 10 років, не менш	100 тис. годин

Пристрій за стійкістю до зовнішніх впливів відповідає вимогам, наведеним у таблиці:

Таблиця 2

Фактори, що впливають	Характеристики факторів, що впливають	Значення фактору, що впливає
Синусоїдальна вібрація	Амплітуда прискорення, g	2
	Діапазон частот, Гц	1-200
Механічний удар: багаторазової дії	Пікове ударне прискорення, g	10
	Тривалість дії ударного прискорення, мс	5-10
Атмосферний знижений тиск	Робочий, Па (мм рт ст)	$6 \cdot 10^4$ (450)
	Граничний (при транспортуванні в неробочому стані), Па (мм рт ст)	$1,2 \cdot 10^4$ (90)
Підвищена температура середовища:	робоча, °C	+65
	гранична в неробочому стані. °C	+85
Знижена температура середовища:	робоча, °C	-40
	гранична в неробочому стані. °C	-40
Зміна температури середовища в неробочому стані:	Діапазон зміни температури, °C	Від -40 до +85
Підвищена вологість	Відносна вологість %, при температурі, °C	98+25

Пристрій може бути виконаний у вигляді плати стандарту CompaqPC1 6U. Конструкція плати (трансування провідників, кількість шарів) забезпечує:

- 1) ізоляцію між каналами - не менш 60дБ,
- 2) рівень взаємних перешкод по сигнальних цифрових ланцюгах - не більше 100мВ,
- 3) рівень перешкод по ланцюгах живлення, землі між будь-якою точкою плати - не більше 100мВ,
- 4) проходження цифрових сигналів (у межах друкованої плати) з наростанням/спадам фронтів 3-5 не без перекручувань.
- 5) Один із провідних шарів друкованої плати є суцільним (за винятком перехідних отворів) і з'єднується з ланцюгом "Корпус".

Конструкція плати забезпечує можливість використання мікросхем ПЛІС FPGA фірми Xilinx різних типів. На друкованій платі пристрою від мікросхеми FPGA до кожної із мікросхем пам'яті розведені окремо шина адреси, шина даних й керуючі сигнали.

Пристрій працює як від внутрішнього, так і від зовнішнього джерела тактового сигналу. Частота зовнішнього джерела тактового сигналу $f_{\text{такт}}=50-70\text{МГц}$. Перемикання джерела тактового сигналу здійснюється за допомогою запаяної у плату перемички.

Контакти JTG_TMS, JTG_TDI, JTG_TDO, JTG_TCK, призначені для програмування мікросхем FPGA і FLASH ROM за допомогою інтерфейсу JTAG і підключаються до відповідних ланцюгів пристрою.

Контакт JTG_GND з'єднується з ланцюгом "Корпус" пристрою, а на контакт JTG_VCC33 від ланцюгів живлення плати подається напруга 3,3В.

Передбачена можливість розміщення додаткового рознімання JTAG на друкованій платі пристрою. Друкована плата пристрою разом із установленими на неї компонентами покрита двома шарами вологостійкого лаку.

Модуль формування сигналів синхронізації та управління забезпечує видачу службових сигналів із тактовою частотою 50МГц. Крім того, модуль формування сигналів синхронізації та управління забезпечує формування управляючих сигналів для модуля управління пам'яттю. Ці сигнали забезпечують запис даних до пам'яті з необхідним коефіцієнтом проріджування, перемикання між банками оперативної пам'яті та поточне управління мікросхемами для забезпечення потрібного алгоритму роботи.

Модуль комутації сигналів забезпечує формування інформаційних потоків для обробки сигналів і запису їх у пам'ять.

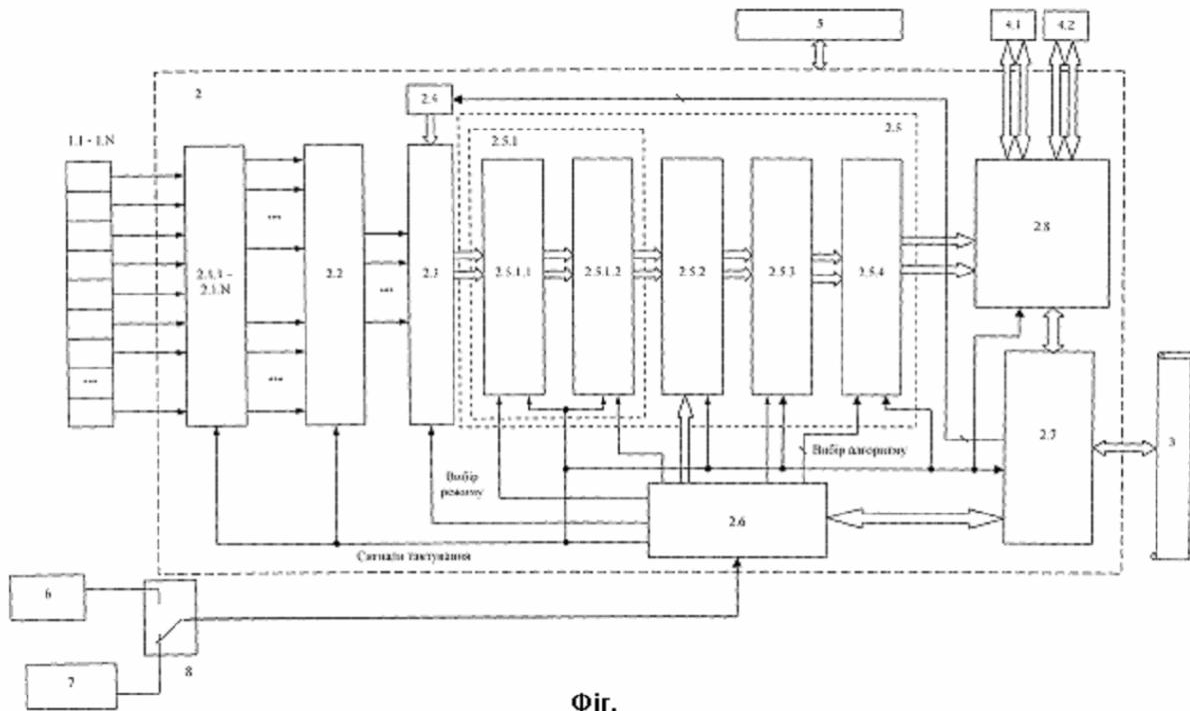
Модуль управління пам'яттю забезпечує буферизацію даних для обміну між модулями ПЛІС і складається з двох незалежних модулів керування мікросхемами динамічної пам'яті. Кожен модуль керування мікросхемою забезпечує темп обміну даними при запису або зчитуванні - не менш 50 Мслівх32 у секунду і може знаходитися або в стані запису, або в стані зчитування незалежно один від одного.

Модуль цифрової обробки, модуль управління пам'яттю, контролер передачі даних на інтерфейсну шину, модуль формування сигналів синхронізації та управління формуються усередині ПЛІС у вигляді скомпільованих ядер.

Джерела інформації:

1. Слюсар В.И. Схемотехника цифровых антенных решеток. Грани возможного. // Электроника: наука, технология, бизнес. - Москва. - 2004, № 8, С. 34 - 40. - http://www.electronics.ru/pdf78_2004/07.pdf. - аналог.

2. Заявка на выдачу патенту України на корисну модель. МЖ 7 G 01 S 13/08-13/44, G 01 S 7/02-7/46, H 02 K 15/00-15/16. Пристрій аналого-цифрового перетворення. // Слюсар В.І., Волощук І.В., Гриценко В.М., Бондаренко М.В., Малащук В.П., Шацман Л.Г., Нікітін М.М.- прототип



Фіг.