



УКРАЇНА

(19) UA (11) 35175 (13) U

(51) МПК (2006)

G01S 13/00

G01S 13/44 (2008.01)

G01S 7/00

H02K 15/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬвидається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЕННЯ У ФОРМАТІ 3U

1

2

(21) u200801514

(22) 05.02.2008

(24) 10.09.2008

(46) 10.09.2008, Бюл.№ 17, 2008 р.

(72) СЛЮСАР ВАДИМ ІВАНОВИЧ, UA, ВОЛОЩУК ІГОР ВІКТОРОВИЧ, UA, ГРИЦЕНКО ВІКТОР МИКОЛАЙОВИЧ, UA, БОНДАРЕНКО МАКСИМ ВАСИЛЬОВИЧ, UA, МАЛАЩУК ВОЛОДИМИР ПЕТРОВИЧ, UA, ШАЦМАН ЛЕОНІД ГЕОРГІЄВИЧ, UA, НІКІТІН МИКОЛА МИХАЙЛОВИЧ, UA

(73) ТОВАРИСТВО З ОБМЕЖЕНОЮ ВІДПОВІДАЛЬНІСТЮ "СКАЙНЕТ LTD", UA

(57) 1. Пристрій аналого-цифрового перетворення у форматі 3U, до складу якого входять аналогові сигнальні входи, ланцюги узгодження та підсилення, вхід зовнішньої синхронізації, внутрішній тактовий генератор, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), аналогово-цифровий перетворювач (АЦП), модулі оперативної пам'яті, цифрові входи, вхідний цифровий буфер, програмована логічна інтегральна схема (ПЛІС), в якій містяться модуль цифрової обробки сигналів, контролер передачі даних на інтерфейсну шину, модуль керування пам'яттю, модуль формування сигналів синхронізації та керування, при цьому аналогові сигнальні входи підключені через ланцюги узгодження та підсилення до аналогових входів АЦП, вхід зовнішньої синхронізації та вихід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів, цифрові входи пристрою є входами вхідного цифрового буфера, шини даних модулів оперативної пам'яті підключені через модуль керування пам'яттю до виходів модуля цифрової обробки сигналів та до відповідних входів контролера передачі даних на інтерфейсну шину, виходи якого підключені до інтерфейсної шини, який відрізняється тим, що до складу ПЛІС пристрою додатково введені модуль перетворення послідовного коду у паралельний, модуль комутації сигналів, при цьому як АЦП застосовується багатоканальна мікросхема АЦП (4 або 8 аналого-цифрових перетворювачів розрядністю 12 чи 14 розрядів в одному корпусі

мікросхеми), модулі оперативної пам'яті виконуються на основі мікросхем динамічної оперативної пам'яті, модуль керування пам'яттю, що входить до складу ПЛІС, додатково виконує функції регенерації даних, записаних у модулі оперативної пам'яті, для чого до його складу додатково введені модулі керування мікросхемами динамічної пам'яті (по одному на кожен мікросхему пам'яті), передача результатів аналого-цифрового перетворення у модуль цифрової обробки сигналів, що входить до складу ПЛІС, виконується за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на канал АЦП), які підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС), виходи модуля перетворення послідовного коду у паралельний підключені до першої групи входів модуля комутації сигналів (входить до складу ПЛІС), друга група входів якого підключена до виходів вхідного цифрового буфера, третій вихід модуля комутації сигналів підключений до виходу перемикачів режимів "Вибір режиму" контролера передачі даних на інтерфейсну шину, виходи модуля комутації сигналів підключені до входів модуля цифрової обробки сигналів, вихід комутатора тактових сигналів підключений до модуля формування сигналів синхронізації та керування (входить до складу ПЛІС), перший вихід якого підключений до тактового входу АЦП, а другий вихід - до тактового входу модуля цифрової обробки сигналів, третій вихід модуля формування сигналів синхронізації та керування підключені до перших управляючих входів модуля керування пам'яттю, четверті виходи модуля формування сигналів синхронізації та керування підключені до других входів контролера передачі даних на інтерфейсну шину, другий вихід якого підключений до входу вибору алгоритму модуля цифрової обробки сигналів.

2. Пристрій аналого-цифрового перетворення у форматі 3U за п. 1, який відрізняється тим, що як інтерфейсна шина використовується шина CompactPCI.

(13) U

(11) 35175

(19) UA

3. Пристрій аналого-цифрового перетворення у форматі 3U за п. 1, який **відрізняється** тим, що як інтерфейсна шина використовується шина CompactPCI Express.

4. Пристрій аналого-цифрового перетворення у форматі 3U за пп. 1-3, який **відрізняється** тим, що до складу ПЛІС додатково введено модуль приймально-передавальний стандарту RS232, а до складу пристрою - входи і виходи рознімання RS232 та перетворювач електричних сигналів RS232/LVTTL, при цьому входи рознімання RS232 підключені до перших входів перетворювача електричних сигналів RS232/LVTTL, вихід якого підключений до першого входу модуля приймально-передавального стандарту RS232 (входить до складу ПЛІС), перший вихід якого підключений до третього входу контролера передачі даних на інтерфейсну шину, третій вихід якого підключений до другого входу модуля приймально-передавального стандарту RS232 (входить до складу ПЛІС), другий вихід якого підключений до другого входу перетворювача електричних сигналів RS232/LVTTL, другі виходи якого з'єднані з виходами рознімання RS232.

5. Пристрій аналого-цифрового перетворення у форматі 3U за пп. 1-4, який **відрізняється** тим, що до складу ПЛІС додатково введено модуль керування цифровими виходами, а до складу пристрою - вихідний цифровий буфер, цифрові виходи та світлодіоди, при цьому перший вхід модуля керування цифровими виходами підключений до першого виходу модуля формування сигналів синхронізації та керування (входить до складу ПЛІС), а другий вхід - до четвертого виходу контролера

передачі даних на інтерфейсну шину, вихід модуля керування цифровими виходами підключений до виходу вихідного цифрового буфера, вихід якого підключений до цифрових виходів, входи світлодіодів підключені до четвертого виходу модуля формування сигналів синхронізації та керування (входить до складу ПЛІС).

6. Пристрій аналого-цифрового перетворення у форматі 3U за пп. 1-5, який **відрізняється** тим, що як АЦП застосовується багатоканальна мікросхема АЦП у складі 4 аналого-цифрових перетворювачів в одному корпусі мікросхеми, при цьому кількість аналогових сигнальних входів пристрою дорівнює 4.

7. Пристрій аналого-цифрового перетворення у форматі 3U за пп. 1-5, який **відрізняється** тим, що як АЦП застосовується багатоканальна мікросхема АЦП у складі 8 аналого-цифрових перетворювачів в одному корпусі мікросхеми, при цьому кількість аналогових сигнальних входів пристрою дорівнює 8.

8. Пристрій аналого-цифрового перетворення у форматі 3U за пп. 1-7, який **відрізняється** тим, що пристрій має цифровий вхід "RESET", при подачі на який сигналу заданого рівня пристрій переходить у початковий стан, при цьому контролер передачі даних на інтерфейсну шину свого стану не змінює.

9. Пристрій аналого-цифрового перетворення у форматі 3U за п. 8, який **відрізняється** тим, що цифровий вхід "RESET" буферизований, тобто не має прямого електричного з'єднання між відповідним контактом рознімання й контактом мікросхеми ПЛІС.

Корисна модель відноситься до галузі радіотехніки, зокрема, до пристроїв аналого-цифрового перетворення, що мають габаритні розміри формату 3U з інтерфейсом CompactPCI та CompactPCI Express, і може бути використана для цифрової обробки сигналів в системах радіолокації, зв'язку, тощо.

Відомі пристрої аналого-цифрового перетворення (АЦП) для шини CompactPCI (CPCI) та PXI у форматі 3U:

MX.3131 німецької фірми Spectrum Systementwicklung Microelectronic GmbH [1],

MIC-3714 ізраїльської фірми I.C.P.C. [2],

CPCI-DAS4020/12 американської фірми Measurement Computing Corporation [3].

До складу цих пристроїв входять чотири аналогові сигнальні входи, ланцюги узгодження та підсилення, чотири 12-бітні мікросхеми АЦП, модуль управління пам'яттю й суміщений з ним модуль управління АЦП, модулі оперативної пам'яті, контролер передачі даних на інтерфейсну шину, вхід зовнішньої синхронізації, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), внутрішній тактовий генератор, модуль формування сигналів синхронізації, цифрові входи, при цьому аналогові сигнальні входи підключені через ланцюги узгодження та підсилення до аналогових входів 12-

бітних мікросхем АЦП, цифрові виходи АЦП підключені через модуль управління пам'яттю й суміщений з ним модуль управління АЦП до шини даних модулів оперативної пам'яті та до відповідних входів контролера передачі даних на інтерфейсну шину, вхід зовнішньої синхронізації та вихід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації).

Зазначені пристрої АЦП дозволяють здійснювати аналого-цифрове перетворення сигналів синхронно у часі по чотирьох паралельних каналах, записувати отримані відліки АЦП у модулі оперативної пам'яті та передавати їх через інтерфейсну шину CPCI на подальші пристрої цифрової обробки сигналів.

До недоліків відомих пристроїв АЦП MX.3131 [1], MIC-3714 [2] та CPCI-DAS4020/12 [3] слід віднести відсутність у їхньому складі модуля прогрованої логічної інтегральної схеми (ПЛІС), в якому можна було б здійснювати цифрову обробку сигналів, зокрема їх децимацію (проріджування у часі), цифрову фільтрацію, цифрову корекцію характеристик приймальних каналів, цифрове формування квадратурних складових сигналів тощо. Крім того, виконання АЦП у вигляді окремої мікросхеми на кожен канал перетворення призводить

до надмірного теплового розсіювання ними потужності та додаткового споживання електричної енергії пристроєм. Застосування в АЦП паралельної 12-бітної шини для видачі результатів аналого-цифрового перетворення завадто ускладнює розведення електричних сигнальних ліній на друкованій платі, спонукає виготовляти її з великою кількістю друкованих шарів. Крім того, паралельна вихідна шина АЦП породжує додатковий джиттер тактових сигналів за рахунок погіршення електромагнітної сумісності модулів, що застосовуються у пристрої, через випромінювання завад 12-бітними паралельними шинами з виходів АЦП, що виконують роль своєрідних антен та погіршують імпеданс ліній розповсюдження сигналів. Останні з недоліків, зокрема, обмежують частоту дискретизації сигналів у пристроях величиною 20 МГц [3], 25 [1] та 30 МГц [2].

Найбільш близьким технічним рішенням до заявленої корисної моделі, є пристрій аналого-цифрового перетворення (АЦП) для шини CompactPCI (CPCI) у форматі 3U російської фірми Scan Engineering Telecom (м. Воронеж) XDSP-3MC [4], до складу якого входять аналогові сигнальні входи, ланцюги узгодження та підсилення, вхід зовнішньої синхронізації, внутрішній тактовий генератор, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), АЦП, модулі оперативної пам'яті, цифрові входи, вхідний цифровий буфер, програмована логічна інтегральна схема (ПЛІС), в якій містяться модуль цифрової обробки сигналів, контролер передачі даних на інтерфейсну шину, модуль управління пам'яттю, модуль формування сигналів синхронізації та управління, при цьому аналогові сигнальні входи підключені через ланцюги узгодження та підсилення до аналогових входів АЦП, вхід зовнішньої синхронізації та вхід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів, цифрові входи пристрою є входами вхідного цифрового буфера, шини даних модулів оперативної пам'яті підключені через модуль управління пам'яттю до виходів модуля цифрової обробки сигналів та до відповідних входів контролера передачі даних на інтерфейсну шину, виходи якого підключені до інтерфейсної шини.

Пристрій АЦП, обраний за прототип, дозволяє здійснювати аналого-цифрове перетворення сигналів синхронно у часі по паралельних каналах, записувати отримані відліки АЦП у модулі оперативної пам'яті, здійснювати за необхідності попередню цифрову обробку сигналів, зокрема децимацію (проріджування у часі), цифрову фільтрацію, цифрову корекцію характеристик приймальних каналів, цифрове формування квадратних складових сигналів, та передавати результати цифрової обробки через шину CPCI на подальші пристрої цифрової обробки сигналів.

До недоліків пристрою-прототипу слід віднести виконання АЦП у вигляді окремої мікросхеми на кожен канал перетворення, що призводить до надмірного теплового розсіювання ними потужності та додаткового споживання електричної енергії пристроєм. Застосування в АЦП паралельної шини для видачі результатів аналого-цифрового пе-

ретворення надто ускладнює розведення електричних сигнальних ліній на друкованій платі, спонукає виготовляти її з великою кількістю друкованих шарів. Крім того, паралельна вихідна шина АЦП породжує додатковий джиттер тактових сигналів за рахунок погіршення електромагнітної сумісності модулів, що застосовуються у пристрої, через випромінювання завад паралельними шинами з виходів АЦП, що виконують роль своєрідних антен та погіршують імпеданс ліній розповсюдження сигналів. Застосування в якості оперативної пам'яті мікросхем статичної пам'яті ZBT SRAM обмежує максимальний об'єм записаної інформації через відсутність відповідних мікросхем з ємністю 1 Гібайт та більше і призводить до подорожчання пристрою.

В основу корисної моделі покладене завдання підвищення основних технічних характеристик пристрою АЦП.

Очікуваний технічний результат від заявленої корисної моделі полягає у забезпеченні можливості багаторозрядного (12-біт і більше) оцифровування паралельно до 8 каналів надходження аналогових сигналів, здійснення попередньої цифрової обробки сигналів, що формуються одночасно по всім паралельним каналам АЦП (максимум - восьми), зменшення джиттеру за рахунок поліпшення електромагнітної сумісності модулів, що застосовуються у пристрої, збільшення об'єму та здешевлення вартості оперативної пам'яті за рахунок застосування мікросхем динамічної пам'яті.

Суть нововведень до корисної моделі полягає у тому, що до складу ПЛІС пристрою додатково введені модуль перетворення послідовного коду у паралельний, модуль комутації сигналів, при цьому на відміну від прототипу в якості АЦП застосовується багатоканальна мікросхема АЦП (4 або 8 аналого-цифрових перетворювачів розрядністю 12 чи 14 розрядів в одному корпусі мікросхеми), модулі оперативної пам'яті виконуються на основі мікросхем динамічної оперативної пам'яті, модуль управління пам'яттю, що входить до складу ПЛІС, додатково виконує функції регенерації даних, записаних у модулі оперативної пам'яті, для чого до його складу додатково введені модулі керування мікросхемами динамічної пам'яті (по одному на кожну мікросхему пам'яті), передача результатів аналого-цифрового перетворення у модуль цифрової обробки сигналів, що входить до складу ПЛІС, виконується за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на канал АЦП), які підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС), виходи модуля перетворення послідовного коду у паралельний підключені до першої групи входів модуля комутації сигналів (входить до складу ПЛІС), друга група входів якого підключена до виходів вхідного цифрового буфера, третій вихід модуля комутації сигналів підключений до виходу переключення режимів "Вибір режиму" контролера передачі даних на інтерфейсну шину, виходи модуля комутації сигналів підключені до входів модуля цифрової обробки сигналів, вихід комутатора тактових сигналів підключений до мо-

дуля формування сигналів синхронізації та управління (входить до складу ПЛІС), перший вихід якого підключений до тактового входу АЦП, а другий вихід - до тактового входу модуля цифрової обробки сигналів, третій вихід модуля формування сигналів синхронізації та управління підключений до перших управляючих входів модуля управління пам'яттю, четвертий вихід модуля формування сигналів синхронізації та управління підключений до других входів контролера передачі даних на інтерфейсну шину, другий вихід якого підключений до входу вибору алгоритму модуля цифрової обробки сигналів.

Залежно від обраного варіанту виконання в якості інтерфейсної шини може використовуватись шина CompactPCI або CompactPCI Express.

В якості АЦП застосовують багатоканальну мікросхему АЦП у складі 4 або 8 аналого-цифрових перетворювачів в одному корпусі мікросхеми, при цьому кількість аналогових сигнальних входів пристрою дорівнює 4 (або відповідно 8).

Порівняльний аналіз технічного рішення, яке заявляється, із прототипом, дозволяє зробити висновки, що заявлений пристрій аналого-цифрового перетворення у форматі 3U, суттєво відрізняється тим, що у ньому, на відміну від прототипу, використано нові технічні рішення для реалізації АЦП (застосована одна багатоканальна мікросхема АЦП на всі 4 і більше каналів надходження аналогових сигналів замість окремих мікросхем на кожен з каналів, як це було у прототипі), паралельні інтерфейси передачі результатів оцифровування з виходів окремих мікросхем АЦП на ПЛІС замінені на послідовні диференціальні інтерфейси (по одній диференціальній парі ліній на канал АЦП), що дозволило поліпшити електромагнітну сумісність елементів пристрою, спростити розведення друкованої плати та зменшити явище джиттера. Крім того, виконання обох банків оперативної пам'яті на основі мікросхем динамічної оперативної пам'яті дозволило знизити вартість оперативної пам'яті, суттєво збільшити її об'єм.

Таким чином, пристрій аналого-цифрового перетворення у форматі 3U, який заявляється, відповідає критерію "новизна" корисної моделі.

Суть корисної моделі пояснюється за допомогою креслень, де на Фіг.1 представлена структурна схема основного варіанту реалізації пристрою аналого-цифрового перетворення, який заявляється. На Фіг.2 представлено зовнішній вигляд конкретного приладу реалізації заявляємої корисної моделі (лицевий бік плати пристрою), виконаного фірмою-заявником, а на Фіг.3 - зворотній бік реалізованої плати пристрою, наведеної на Фіг.2.

Цифрами на Фіг.1 позначені:

- 1 - Цифрові входи AddIn0 ... AddIn23, RESET;
- 2 - Вхідний цифровий буфер;
- 3.1 - 3.K - Аналогові сигнальні входи, де K - кількість каналів АЦП в одній мікросхемі (K=4(8));
- 4.1 - 4.K - Ланцюги узгодження та підсилення, де K - кількість каналів АЦП в одній мікросхемі;
- 5 - Аналого-цифровий перетворювач;
- 6 - Вхід зовнішньої синхронізації;
- 7 - Внутрішній тактовий генератор;
- 8 - Комутатор тактових сигналів;
- 9 - ПЛІС;

9.1 - Модуль перетворення послідовного коду у паралельний;

9.2 - Модуль комутації сигналів;

9.3 - Модуль цифрової обробки сигналів;

9.4 - Модуль формування сигналів синхронізації та управління;

9.5 - Контролер передачі даних на інтерфейсну шину;

9.6 - Модуль управління пам'яттю;

9.6.1 - Модуль керування мікросхемою динамічної пам'яті №1;

9.6.2 - Модуль керування мікросхемою динамічної пам'яті №2;

9.6.3 - Модуль керування мікросхемою динамічної пам'яті №3;

9.6.4 - Модуль керування мікросхемою динамічної пам'яті №4;

10 - Інтерфейсна шина;

11.1 - Модуль оперативної пам'яті RAM1;

11.2 - Модуль оперативної пам'яті RAM2;

11.3 - Модуль оперативної пам'яті RAM3;

11.4 - Модуль оперативної пам'яті RAM4.

Пристрій аналого-цифрового перетворення у форматі 3U, що наведено на Фіг.1, містить аналогові сигнальні входи 3.1 - 3.K, ланцюги узгодження та підсилення 4.1 - 4.K, вхід зовнішньої синхронізації 6, внутрішній тактовий генератор 7, комутатор тактових сигналів 8 (з внутрішнього тактового генератора 7 та входу зовнішньої синхронізації 6), АЦП 5, модулі оперативної пам'яті 11.1-11.4, цифрові входи 1 (AddIn0 ... AddIn23, RESET), вхідний цифровий буфер 2, програмовану логічну інтегральну схему (ПЛІС) 9, в якій містяться модуль цифрової обробки сигналів 9.3, контролер передачі даних на інтерфейсну шину 9.5, модуль управління пам'яттю 9.6, модуль формування сигналів синхронізації та управління 9.4, при цьому аналогові сигнальні входи 3.1 - 3.K підключені через ланцюги узгодження та підсилення 4.1 - 4.K до аналогових входів АЦП 5, вхід зовнішньої синхронізації 6 та вхід внутрішнього тактового генератора 7 підключені до відповідних входів комутатора тактових сигналів 8, цифрові входи 1 пристрою є входами вхідного цифрового буфера 2, шини даних модулів оперативної пам'яті 11.1 - 11.4 підключені через модуль управління пам'яттю 9.6 до виходів модуля цифрової обробки сигналів 9.3 та до відповідних входів контролера передачі даних на інтерфейсну шину 9.5, виходи якого підключені до інтерфейсної шини 10, який відрізняється тим, що до складу ПЛІС 9 пристрою додатково введені модуль перетворення послідовного коду у паралельний 9.1, модуль комутації сигналів 9.2, при цьому на відміну від прототипу в якості АЦП 5 застосовується багатоканальна мікросхема АЦП (4 або 8 аналого-цифрових перетворювачів розрядністю 12 чи 14 розрядів в одному корпусі мікросхеми), модулі оперативної пам'яті 11.1 - 11.4 виконуються на основі мікросхем динамічної оперативної пам'яті, модуль управління пам'яттю 9.6, що входить до складу ПЛІС 9, додатково виконує функції регенерації даних, записаних у модулі оперативної пам'яті 11.1 - 11.4, для чого до його складу додатково введені модулі керування мікросхемами динамічної пам'яті 9.6.1 - 9.6.4 (по одному на кожен мікросхему пам'яті), передача результатів анало-

го-цифрового перетворення у модуль цифрової обробки сигналів 9.3, що входить до складу ПЛІС 9, виконується за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на канал АЦП 5), які підключені до відповідних входів модуля перетворення послідовного коду у паралельний 9.1 (входить до складу ПЛІС 9), виходи модуля перетворення послідовного коду у паралельний 9.1 підключені до першої групи входів модуля комутації сигналів 9.2 (входить до складу ПЛІС 9), друга група входів якого підключена до виходів вхідного цифрового буфера 2, третій вихід модуля комутації сигналів 9.2 підключений до виходу переключення режимів "Вибір режиму" контролера передачі даних на інтерфейсну шину 9.5, виходи модуля комутації сигналів 9.2 підключені до входів модуля цифрової обробки сигналів 9.3, вихід комутатора тактових сигналів 8 підключений до модуля формування сигналів синхронізації та управління 9.4 (входить до складу ПЛІС 9), перший вихід якого підключений до тактового входу АЦП 5, а другий вихід - до тактового входу модуля цифрової обробки сигналів 9.3, треті виходи модуля формування сигналів синхронізації та управління 9.4 підключені до перших управляючих входів модуля управління пам'яттю 9.6, четверті виходи модуля формування сигналів синхронізації та управління 9.4 підключені до других входів контролера передачі даних на інтерфейсну шину 9.5, другий вихід якого підключений до входу вибору алгоритму модуля цифрової обробки сигналів 9.3.

Принцип роботи основного варіанту заявлено-го пристрою полягає в наступному.

На етапі підготовки пристрою до роботи за допомогою комутатора тактових сигналів 8 вибирають режим подальшої роботи пристрою: з тактуванням сигналами такту, що подають на вхід зовнішньої синхронізації 6, або ж сигналами такту з внутрішнього тактового генератора 7.

На етапі ініціювання роботи пристрою одразу після вмикання живлення відповідні тактові сигнали надходять на вхід модуля формування сигналів синхронізації та управління 9.4, що входить до складу ПЛІС 9. Далі через інтерфейсну шину 10 і контролер передачі даних на інтерфейсну шину 9.5 у модуль формування сигналів синхронізації та управління 9.4 записують параметри управління роботою пристрою та параметри управління цифровою обробкою сигналів, а у модуль комутації сигналів 9.2 видають команду на переключення режимів "Вибір режиму". Під дією цієї команди модуль комутації сигналів 9.2 перемикають у стан, коли цифрові дані на вхід модуля цифрової обробки сигналів 9.3 в основному режимі роботи пристрою будуть надходити з вхідного цифрового буфера 2, а не з модуля перетворення послідовного коду у паралельний 9.1. На додаток до зазначених операцій з контролера передачі даних на інтерфейсну шину 9.5 на відповідний вхід модуля цифрової обробки сигналів 9.3 видається команда "Вибір алгоритму", за допомогою якої активують один з алгоритмів обробки сигналів, що реалізований у модулі цифрової обробки сигналів 9.3.

В основному режимі роботи пристрою, що заявляється, аналогові сигнали з K радіоканалів поступають на аналогові сигнальні входи 3.1 - 3.K й

далі через ланцюги узгодження та підсилення 4.1 - 4.K - на відповідні аналогові входи АЦП 5. Тактування АЦП 5 здійснюють за допомогою сигналів управління АЦП, які надходять на тактові входи АЦП 5 з відповідного виходу модуля формування сигналів синхронізації та управління 9.4.

Результати аналого-цифрового перетворення напруг сигналів з виходів АЦП 5 передають за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на кожен з K каналів АЦП 5 на вхід модуля перетворення послідовного коду у паралельний 9.1 (входить до складу ПЛІС 9). Далі цифрові відліки напруг сигналів у паралельному коді поступають на першу групу входів модуля цифрової обробки сигналів 9.3.

По другій групі входів на модуль обробки сигналів 9.3 поступають з модуля формування сигналів синхронізації та управління 9.4 коди управління та необхідні тактові сигнали.

Результати обробки сигналів у модулі цифрової обробки сигналів 9.3 з його виходу поступають через модуль управління пам'яттю 9.6 (входить до складу ПЛІС 9) на шину даних модулів оперативної пам'яті 11.1 - 11.4. Запис даних здійснюють в одну з пар банків пам'яті 11.1 - 11.4, тоді як з іншої пари банків записані раніше дані зчитують через відповідні модулі керування мікросхемами динамічної пам'яті 9.6.1 - 9.6.4 у складі модуля управління пам'яттю 9.6, контролер передачі даних на інтерфейсну шину 9.5 та саму інтерфейсну шину 10 у подальший обчислювальний пристрій.

Пристрій-корисна модель, що заявляється у конкретному варіанті виконання (далі по тексту - пристрій), відповідає наведеним нижче вимогам до апаратної й програмної частини й здійснює обробку аналогових вхідних сигналів відповідно до функціональної схеми, наведеної на Фіг.1.

Контролер шини CompactPCI на платі забезпечує передачу даних по шині 32bit/33MHz як у режимі SLAVE, так і в режимі MASTER. Плата сумісна по рівнях сигналів шини CompactPCI як із шиною 3.3 V, так і із шиною 5V.

Контролер CompactPCI забезпечує можливість зчитування й запису в 32 регістра користувача. Кожний з таких регістрів має розрядність 32 біт.

Аналого-цифрові перетворювачі забезпечують:

Розрядність АЦП, біт	12
Відсутність пропуску кодів	гарантовано
Максимальна частота дискретизації, МГц, не менш	50
Вхідний опір аналогового входу, Ω	50
Діапазон вхідного сигналу, V	± 1
Середньоквадратичне значення апертурного дребезга при температурі +25C, ps	1,7
Інтегральна нелінійність перетворення, LSB	± 1
Диференціальна нелінійність перетворення, LSB	$\pm 0,5$
Кількість ефективних розрядів на частоті 50МГц, біт, не менш	11

Пристрій за стійкістю до зовнішніх впливів відповідає вимогам, наведеним у таблиці 1.

Таблиця 1

Фактори, що Впливають	Характеристики факторів, що впливають	Значення фактору, що впливає
Синусоїдальна вібрація ¹⁾	Амплітуда прискорення, g	2
	Діапазон частот, Гц	1-200
Механічний удар ¹⁾ : багаторазової дії	Пікове ударне прискорення, g	10
	Тривалість дії ударного прискорення, мс	5-10
Атмосферний знижений тиск ¹⁾	Робочий, Па (мм рт ст)	6·10 ⁴ (450)
	Граничний (при транспортуванні в неробочому стані), Па (мм рт ст)	1,2·10 ⁴ (90)
Підвищена температура середовища:	робоча, °C	+65
	гранична в неробочому стані, °C	+85
Знижена температура середовища:	робоча, °C	-40
	гранична в неробочому стані, °C	-40
Зміна температури середовища в неробочому стані:	Діапазон зміни температури, °C	Від -40 до +85
Підвищена вологість ¹⁾	Відносна вологість %, при температурі, °C	98+25
Іній, роса ¹⁾		+

¹⁾ уточнюється в процесі виконання.

Пристрій по надійності відповідає вимогам, наведеним у таблиці 2.

Таблиця 2

Параметр	Значення параметра
Наробіток на відмову, не менш ¹⁾	20000 годин
Технічний ресурс протягом 12 років, не менш ¹⁾	100тис. годин

¹⁾ уточнюється в процесі виконання.

Пристрій виконаний у вигляді плати стандарту CompactPCI 3U. Конструкція плати (трасування провідників, кількість шарів) забезпечує:

1) ізоляцію між аналоговими каналами - не менш 60dBV,

2) рівень перешкод на аналогових входах від цифрових ланцюгів - не більше мінус 70dBV,

3) рівень взаємних перешкод по сигнальних цифрових ланцюгах - не більше 100mV,

4) рівень перешкод по ланцюгах живлення, землі між будь-якою точкою плати плати - не більше 100mV,

5) проходження цифрових сигналів (у межах друкованої плати) з наростанням/спадом фронтів 3-5ns без переключувань.

6) Один із провідних шарів друкованої плати є суцільним (за винятком перехідних отворів) і з'єднується з ланцюгом "Корпус".

Конструкція плати забезпечує можливість використання мікросхем ПЛІС FPGA фірми Xilinx наступних типів: XC2VP20, XC2VP40, XC2VP50.

На друкованій платі пристрою від мікросхеми FPGA до кожної із чотирьох мікросхем пам'яті розведені окремо шина адреси, шина даних й керуючі сигнали.

Пристрій має вхід "RESET", при подачі на який рівня логічного нуля пристрій переходить у початковий стан. При цьому контролер передачі даних по шині CompactPCI свого стану не змінює. Вхід "RESET" буферизований (не має прямого елект-

ричного з'єднання між відповідним контактом роз'єму й контактом мікросхеми FPGA).

Пристрій працює як від внутрішнього, так і від зовнішнього джерела тактового сигналу. Частота зовнішнього джерела тактового сигналу f_{такт}=50МГц. Перемикання джерела тактового сигналу здійснюється за допомогою запаяної у плату перемички.

В якості буферів для додаткових цифрових входів і виходів використовуються мікросхеми SN74LVTH245APW.

Для кожної з мікросхем буферів між контактами VCC і VDD підключені по два фільтруючих конденсатора з малою власною індуктивністю. Фільтруючі конденсатори встановлені в безпосередній близькості від контактів мікросхеми.

Для індикації ланцюгів керування на друкованій платі можуть бути встановлені 8 світлодіодів, керованих мікросхемою FPGA.

Для обміну даними по шині CompactPCI і підключення живлення пристрій використовує роз'єм P1 у відповідності зі специфікацією шини CompactPCI.

Всі інші цифрові сигнали можуть бути виведені на роз'єм P2, як це передбачено стандартом PXI або конкретним замовником.

Вхід RESET підключається до відповідного ланцюга скидання пристрою. Входи AddOut0...AddOut23 підключаються до відповідних ланцюгів додаткових цифрових виходів пристрою.

Контакти AddIn0...AddIn23 підключаються до відповідних ланцюгів додаткових цифрових входів пристрою. Контакти COMM1_RX, COMM1_TX, COMM2_RX, COMM2_TX підключаються до відповідних ланцюгів портів RS232.

Контакти JTG_TMS, JTG_TDI, JTG_TDO, JTG_TCK призначені для програмування мікросхем FPGA і FLASH ROM за допомогою інтерфейсу JTAG і підключаються до відповідних ланцюгів пристрою.

Контакт JTG_GND з'єднується з ланцюгом "Корпус" пристрою, а на контакт JTG_VCC33 від ланцюгів живлення плати подається напруга 3.3V.

Передбачена можливість розміщення додаткового рознімання JTAG на друкованій платі пристрою. При цьому, а контакти такого додаткового рознімання можуть бути підключені до відповідних контактів рознімання P2.

Друкована плата пристрою разом із установленими на неї компонентами покрита двома шарами вологостійкого лаку.

В якості рознімання для аналогових входів пристрою застосовуються рознімання SMA або SMB.

Модуль формування сигналів синхронізації та управління забезпечує видачу на АЦП службових сигналів і зчитування відліків АЦП із тактовою частотою 50МГц.

Модуль комутації сигналів забезпечує формування інформаційних потоків для запису в пам'ять.

Модуль управління пам'яттю забезпечує подвійну буферизацію даних для обміну між модулями ПЛІС і складається з чотирьох незалежних модулів керування мікросхемами динамічної пам'яті. Кожен модуль керування мікросхемою забезпечує темп обміну даними при запису або зчитуванні - не менш 50 Мслівх32 у секунду і може знаходитися або в стані запису або в стані зчитування незалежно один від одного.

Модуль формування сигналів синхронізації та управління забезпечує формування управляючих сигналів для модуля керування пам'яттю. Ці сигнали забезпечують запис даних до пам'яті з необхідним коефіцієнтом проріджування і перемикання між модулями керування мікросхемами для забезпечення потрібного алгоритму.

Процес функціонування модуля формування сигналів синхронізації та управління наступний.

За допомогою відповідних функцій API операційної системи Windows в електронно-обчислювальній машині (ЕОМ), до якої підключено заявлений пристрій, можуть бути встановлені значення регістрів DIVIDER і SampleSize.

Регістр DIVIDER визначає коефіцієнт проріджування вибірок АЦП. Коефіцієнт проріджування може приймати значення в діапазоні DIVIDER=1...255. Значення коефіцієнта проріджування у процесі ініціалізації пристрою при подачі живлення становить DIVIDER=4.

Регістр SampleSize визначає розмір блоку даних, який записується в пам'ять, а потім передається в ОЗУ ЕОМ по каналу DMA. Блок даних може мати розмір від 1K до 8M 32-розрядних слів. Значення регістра SampleSize у процесі ініціалізації пристрою при подачі живлення становить SampleSize=8M.

Плата починає одержувати дані АЦП і передавати їх через інтерфейс CompactPCI в ОЗУ електронно-обчислювальної машини (ЕОМ) по виклику API функції Start().

Модуль комутації сигналів формує з восьми каналів даних АЦП та AddIn0...AddIn23 два потоки 32-бітних слів з частотою слідування 50МГц. Сигнал SWITCH_MODE визначає, які з восьми каналів АЦП та які сигнали з AddIn0...AddIn23 включаються до цих потоків.

Вибірки даних цифрових потоків записуються в мікросхеми пам'яті RAM1 і RAM2 з проріджуванням, обумовленим коефіцієнтом проріджування DIVIDER. Так, якщо коефіцієнт проріджування Ndiv=1, вибірки даних записуються із частотою 50МГц. Якщо коефіцієнт проріджування Ndiv=4, вибірки даних записуються із частотою 12,5МГц і т.д. 32 розряди даних складаються з 24 розрядів даних двох каналів АЦП (номера каналів АЦП залежать від сигналу SWITCH_MODE) і доповнюються до 32 розрядів даними цифрових входів AddIn0...AddIn23 (номера доповнюючих сигналів залежать від сигналу SWITCH_MODE).

Якщо сигнал на вході Time Window=0, то запис даних до пам'яті не дозволяється. Якщо сигнал на вході Time Window=1, дані записуються в модуль управління пам'яттю. Відлік кількості записаних слів забезпечує модуль формування сигналів синхронізації та управління.

По досягненню лічильником кількості слів значення SampleSize виконуються наступні дії:

- адресний лічильником кількості встановлюється в значення 0.

- модуль формування сигналів синхронізації та управління формує сигнали, які забезпечують запис даних в мікросхеми RAM3 і RAM4. Модулі керування мікросхемами динамічної пам'яті RAM1 і RAM2 переводяться зі стану запису у стан читання.

- на вхід START_ADDR контролера CompactPCI встановлюється значення адреси=0, на вхід BLOCK_SIZE контролера CompactPCI встановлюється значення SampleSize, на вхід DMA_START контролера CompactPCI подається позитивний перепад напруги.

Після цього дані заповнюють мікросхеми пам'яті RAM3 і RAM4, а контролер CompactPCI запускає передачу даних з мікросхеми пам'яті RAM1 або RAM2 в залежності від сигналу SelectMemory в ЕОМ. По завершенню передачі контролер CompactPCI виставляє запит на переривання, що сигналізує програмі користувача про те, що необхідно обробити черговий блок даних. Програма користувача оброблює дані й по завершенню обробки викликає функцію API Ready_for_new_data(). Виклик цієї функції встановлює в одиницю прапор Transfer_Complete.

По досягненню лічильником кількості слів модуля формування сигналів синхронізації та управління величини SampleSize виконуються наступні дії:

- лічильник кількості слів встановлюється в значення 0.

- модулі керування мікросхемами динамічної пам'яті RAM3 і RAM4 переводяться зі стану запису до стану читання.

- модулі керування мікросхемами динамічної пам'яті RAM1 і RAM2 переводяться зі стану читання до стану запису.

- BLOCK_SIZE контролера CompactPCI установлюється значення = SampleSize, на вхід START_TRANSFER контролера CompactPCI подається позитивний перепад. Після чого модуль формування сигналів синхронізації та управління починає заповнювати мікросхеми RAM1 і RAM2, а контролер CompactPCI запускає передачу даних з мікросхеми RAM3 або RAM4 в залежності від сигналу SelectMemory в EOM. По завершенню передачі контролер CompactPCI виставляє запит на переривання, що сигналізує програмі користувача про те, що необхідно обробити черговий блок даних.

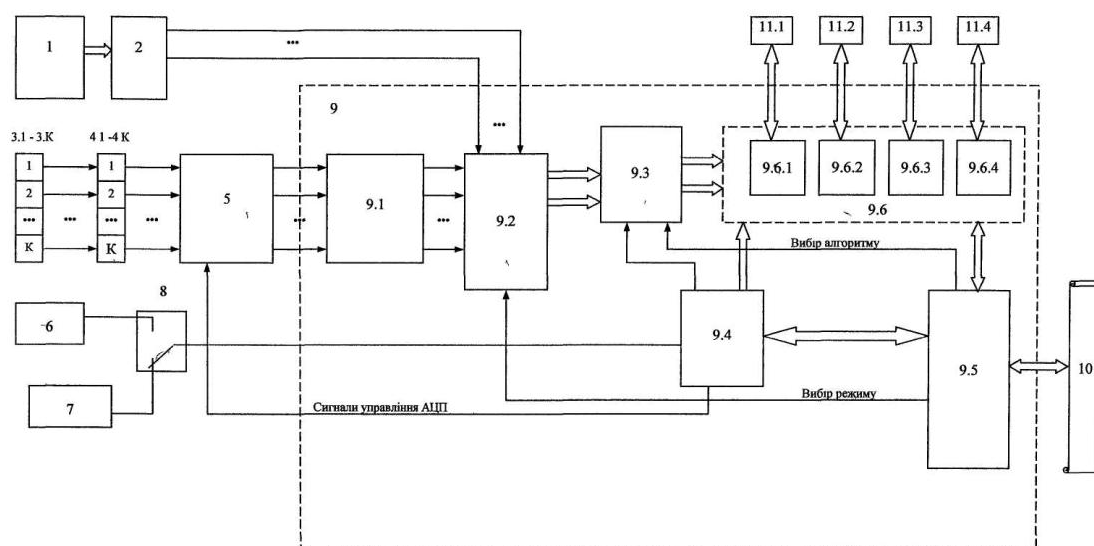
Програма користувача оброблює дані й по завершенню обробки викликає функцію API Ready_for_new_data(). Виклик цієї функції встановлює в одиницю прапор Transfer_Complete.

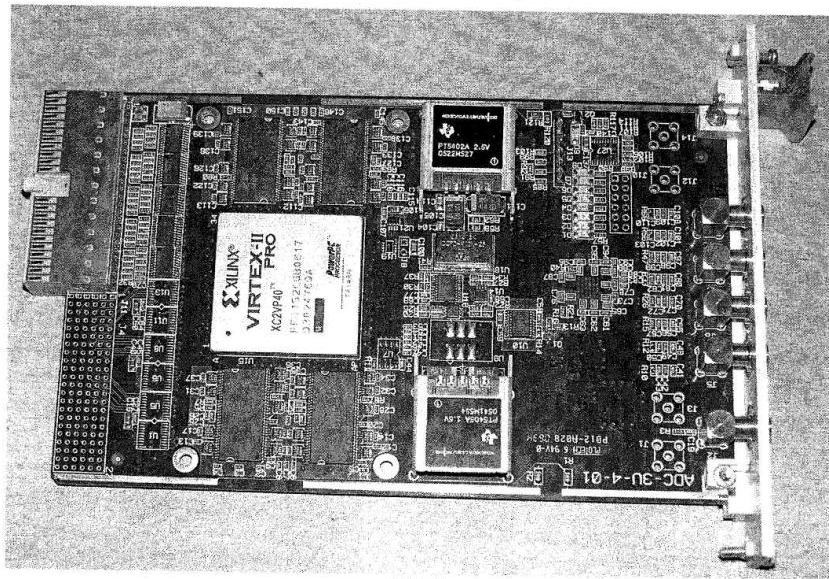
Пристрій повністю сумісний з об'єднавчою платою (backplane) CP 3-BP8-M-RIO (виробництва Kontron).

Модуль цифрової обробки, модуль управління пам'яттю, контролер передачі даних на інтерфейсну шину, модуль формування сигналів синхронізації та управління формуються усередині ПЛІС у вигляді скомпільованих ядер.

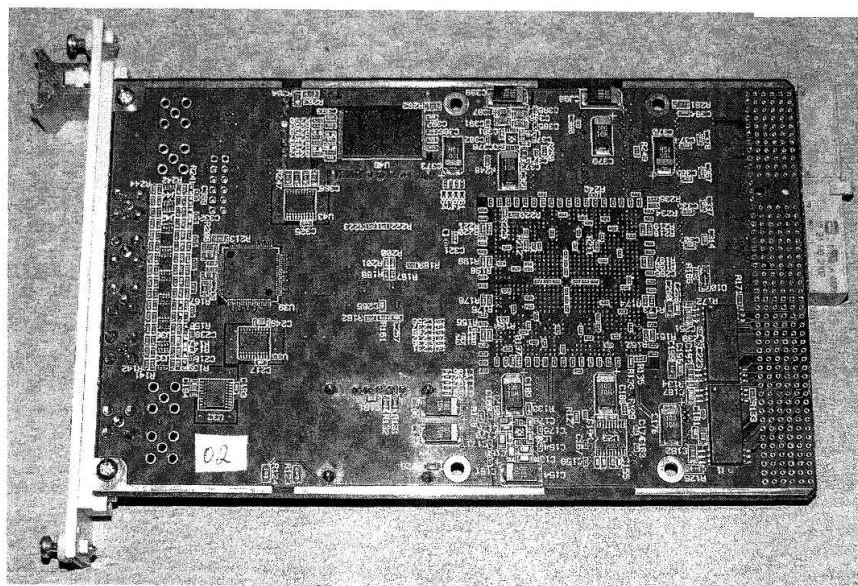
Джерела інформації:

1. MX3131 - 4 Kanal 12 Bit A/D. - http://www.spectrum-gmbh.com/fileadmin/english/hwmanuals/mx31xx/mx31_manual_english.pdf, <http://www.spectrum-gmbh.com/mx3131+M5d637b1e38d.html>. - аналог.
2. MIC-3714. 30 MS/s, 12-bit, 4-ch - Analog In - Card, Simultaneous Operation. - <http://www.icpc.co.il/index.asp?Page=/ProductsDB/Product.asp?ID=709>. -аналог.
3. CPCI-DAS4020/12. - http://www.measurementcomputing.com/pdfs/cpci-das4020_12.pdf. - аналог.
4. Модуль цифровой обработки сигналов XDSP-3MC. <http://setdsp.ru/products/instrumental/cpci/xdsp3mc/> - прототип.





Фіг. 2



Фіг. 3