



УКРАЇНА

(19) UA (11) 33256 (13) U

(51) МПК (2006)

H03M 1/00

G01S 13/00

G01S 7/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЕННЯ

1

2

(21) u200802466

(22) 26.02.2008

(46) 10.06.2008, Бюл.№ 11, 2008 р.

(72) СЛЮСАР ВАДИМ ІВАНОВИЧ, UA, ВОЛОЩУК ІГОР ВІКТОРОВИЧ, UA, ГРИЦЕНКО ВІКТОР МИКОЛАЙОВИЧ, UA, БОНДАРЕНКО МАКСИМ ВАСИЛЬОВИЧ, UA, МАЛАЩУК ВОЛОДИМИР ПЕТРОВИЧ, UA, ШАЦМАН ЛЕОНІД ГЕОРГІЄВИЧ, UA, НІКІТІН МИКОЛА МИХАЙЛОВИЧ, UA

(73) ТОВАРИСТВО З ОБМЕЖЕНОЮ ВІДПОВІДАЛЬНІСТЮ "СКАЙНЕТ LTD", UA

(57) 1. Пристрій аналого-цифрового перетворення, до складу якого входять аналогові сигнальні входи, ланцюги узгодження та підсилення, вхід зовнішньої синхронізації, внутрішній тактовий генератор, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), багатоканальні АЦП, модулі оперативної пам'яті, постійний запам'ятовуючий пристрій, програмована логічна інтегральна схема (ПЛІС), в якій містяться модуль перетворення послідовного коду у паралельний, модуль цифрової обробки сигналів, контролер передачі даних на інтерфейсна шина, модуль керування пам'яттю, модуль формування сигналів синхронізації та керування, при цьому аналогові сигнальні входи підключені через ланцюги узгодження та підсилення до відповідних аналогових входів багатоканальних АЦП, вхід зовнішньої синхронізації та вихід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів, передача результатів аналого-цифрового перетворення у модуль цифрової обробки сигналів, що входить до складу ПЛІС, виконується за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на кожен з каналів АЦП), які підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС), виходи модуля перетворення послідовного коду у паралельний підключені до першої групи входів модуля цифрової обробки сигналів (входить до складу ПЛІС), шини даних модулів оперативної пам'яті підключені через модуль керування пам'яттю (входить до складу ПЛІС) до виходів модуля цифрової обробки сигналів та до відповідних входів контролера пе-

редачі даних на інтерфейсну шину, а шини адресації та керування модулів оперативної пам'яті підключені до відповідних виходів модуля керування пам'яттю (входить до складу ПЛІС), постійний запам'ятовуючий пристрій підключений до входів завантаження архітектури ПЛІС, виходи контролера передачі даних на інтерфейсну шину підключені до інтерфейсної шини пристрою, який відрізняється тим, що модуль цифрової обробки сигналів у складі єдиної ПЛІС виконується у вигляді послідовно з'єднаних модуля цифрової фільтрації сигналів, модуля цифрового коригування та модуля цифрового діаграмоутворення, при цьому перша група входів модуля цифрової фільтрації сигналів є першою групою входів модуля цифрової обробки сигналів, а виходи модуля цифрового діаграмоутворення є виходами модуля цифрової обробки сигналів, виходи модуля цифрової фільтрації сигналів підключені до першої групи входів модуля цифрового коригування, виходи якого підключені до першої групи входів модуля цифрового діаграмоутворення, тактові входи модуля цифрової фільтрації сигналів, модуля цифрового коригування, модуля цифрового діаграмоутворення, а також тактові входи АЦП, модуля перетворення послідовного коду у паралельний і перші входи керування модуля керування пам'яттю підключені до першого виходу модуля формування сигналів синхронізації та керування (входить до складу ПЛІС), другі групи входів модуля цифрової фільтрації сигналів та модуля цифрового коригування підключені відповідно до другого та третього виходів модуля формування сигналів синхронізації та керування, вхід вибору алгоритму модуля цифрового діаграмоутворення підключений до четвертого виходу модуля формування сигналів синхронізації та керування, тактовий вхід якого підключений до виходу комутатора тактових сигналів, входи керування модуля формування сигналів синхронізації та керування підключені до другої групи виходів контролера передачі даних на інтерфейсну шину.

2. Пристрій аналого-цифрового перетворення за п. 1, який відрізняється тим, що як інтерфейсна шина використовується шина CompactPCI.

UA (13)

33256 (11)

UA (19)

3. Пристрій аналого-цифрового перетворення за п. 1, який **відрізняється** тим, що як інтерфейсна шина використовується шина CompactPCI Express.
4. Пристрій аналого-цифрового перетворення за п. 1, який **відрізняється** тим, що як інтерфейсна шина використовуються інтерфейси Rocket I/O.
5. Пристрій аналого-цифрового перетворення за п. 1, який **відрізняється** тим, що як інтерфейсна шина використовуються інтерфейси Ethernet 1 (10)Гбіт/с.
6. Пристрій аналого-цифрового перетворення за пп. 1-5, який **відрізняється** тим, що для забезпечення режиму тестування алгоритмів цифрової обробки сигналів виходи модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС) підключені до першої групи входів модуля цифрової обробки сигналів у складі тієї ж ПЛІС через додатково введений до складу ПЛІС модуль комутації сигналів, при цьому до складу ПЛІС додатково введено цифровий буфер, входи якого підключені до контролера передачі даних на інтерфейсну шину, а виходи - до другої групи входів модуля комутації сигналів, третій вхід якого підключений до виходу переключення режимів "Вибір режиму" модуля формування сигналів син-

хронізації та керування, тактовий вхід модуля комутації сигналів підключений до першого виходу модуля формування сигналів синхронізації та керування.

7. Пристрій аналого-цифрового перетворення за пп. 1-6, який **відрізняється** тим, що як АЦП застосовується багатоканальна мікросхема АЦП у складі 4 аналого-цифрових перетворювачів в одному корпусі мікросхеми, при цьому кількість аналогових сигнальних входів пристрою дорівнює 4.
8. Пристрій аналого-цифрового перетворення за пп. 1-6, який **відрізняється** тим, що як АЦП застосовується багатоканальна мікросхема АЦП у складі 8 аналого-цифрових перетворювачів в одному корпусі мікросхеми, при цьому кількість аналогових сигнальних входів пристрою дорівнює 8.
9. Пристрій аналого-цифрового перетворення за пп. 1-8, який **відрізняється** тим, що як модулі оперативної пам'яті застосовуються внутрішні чарунки пам'яті ПЛІС.
10. Пристрій аналого-цифрового перетворення за пп. 1-8, який **відрізняється** тим, що як модулі оперативної пам'яті застосовуються зовнішні по відношенню до ПЛІС мікросхеми пам'яті, наприклад, динамічного типу.

Корисна модель відноситься до галузі радіотехніки, зокрема, до пристроїв аналого-цифрового перетворення, і може бути використана для цифрової обробки сигналів в системах радіолокації, зв'язку, тощо.

Відомий пристрій аналого-цифрового перетворення (АЦП) МХ3132 для шини CompactPCI (CPCI) та PXI у форматі 6U німецької фірми Spectrum Systementwicklung Microelectronic GmbH [1].

До складу цього пристрою входять вісім аналогових сигнальних входів, ланцюги узгодження та підсилення, вісім 12-бітних мікросхем АЦП, модуль управління пам'яттю й суміщений з ним модуль управління АЦП, модулі оперативної пам'яті, контролер передачі даних на інтерфейсну шину, вхід зовнішньої синхронізації, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), внутрішній тактовий генератор, модуль формування сигналів синхронізації, цифрові входи, при цьому аналогові сигнальні входи підключені через ланцюги узгодження та підсилення до аналогових входів 12-бітних мікросхем АЦП, цифрові входи АЦП підключені через модуль управління пам'яттю й суміщений з ним модуль управління АЦП до шини даних модулів оперативної пам'яті та до відповідних входів контролера передачі даних на інтерфейсну шину, вхід зовнішньої синхронізації та вхід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації).

Зазначений пристрій АЦП дозволяє здійснювати аналого-цифрове перетворення сигналів синхронно у часі по восьми паралельних каналах,

записувати отримані відліки АЦП у модулі оперативної пам'яті та передавати їх через інтерфейсну шину CPCI на подальші пристрої цифрової обробки сигналів.

До недоліків відомих пристроїв АЦП МХ3132 [1] слід віднести відсутність у їхньому складі модуля програмованої логічної інтегральної схеми (ПЛІС), в якому можна було б здійснювати цифрову обробку сигналів, зокрема їх децимацію (проріджування у часі), цифрову фільтрацію, цифрову корекцію характеристик приймальних каналів, цифрове формування квадратурних складових сигналів тощо. Крім того, виконання АЦП у вигляді окремої мікросхеми на кожен канал перетворення призводить до надмірного теплового розсіювання ними потужності та додаткового споживання електричної енергії пристроєм. Застосування в АЦП паралельної 12-бітної шини для видачі результатів аналого-цифрового перетворення надто ускладнює розведення електричних сигнальних ліній на друкованій платі, спонукає виготовляти її з великою кількістю друкованих шарів. Крім того, паралельна вихідна шина АЦП породжує додатковий джиттер тактових сигналів за рахунок погіршення електромагнітної сумісності модулів, що застосовуються у пристрої, через випромінювання завад 12-бітними паралельними шинами з виходів АЦП, що виконують роль своєрідних антен та погіршують імпеданс ліній розповсюдження сигналів. Останні з недоліків, зокрема, обмежують частоту дискретизації сигналів у зазначених пристроях величиною 25МГц [1].

Відомий пристрій аналого-цифрового перетворення (АЦП) VHS-ADC16 High Performance Multi-Channel A/D для шини CompactPCI (CPCI) у форматі 6U канадської фірми Lyrtech [2].

До складу цього пристрою у основному варіанті конфігурації входять вісім аналогових сигнальних входів (можливо збільшення їхньої кількості до шістнадцяти входів шляхом встановлення додаткової мезонінної плати), ланцюги узгодження та підсилення, вісім (або шістнадцять) 14-бітних мікросхем АЦП, вхід зовнішньої синхронізації, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), внутрішній тактовий генератор, модуль формування сигналів синхронізації, цифрові входи, модулі оперативної пам'яті, постійний запам'ятовуючий пристрій, програмована логічна інтегральна схема (ПЛІС), до складу якої входять модуль управління пам'яттю й суміщений з ним модуль управління АЦП, контролер передачі даних на інтерфейсну шину, при цьому аналогові сигнальні входи підключені через ланцюги узгодження та підсилення до аналогових входів 14-бітних мікросхем АЦП, цифрові виходи АЦП підключені через модуль управління пам'яттю й суміщений з ним модуль управління АЦП до шини даних модулів оперативної пам'яті та до відповідних входів контролера передачі даних на інтерфейсну шину, вхід зовнішньої синхронізації та вихід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації).

Перевагою пристрою аналого-цифрового перетворення (АЦП) VHS-ADC16, порівняно з [1], є наявність ПЛІС, в якій здійснюється паралельна обробка даних з кількох каналів АЦП.

Недоліком є низька швидкість передачі даних через інтерфейс 32-бітної шини CompactPCI з тактовою частотою 33МГц, використання окремих мікросхем АЦП на кожен з каналів, паралельні вихідні шини АЦП, що потребує використання надмірно дорогих ПЛІС, щоб забезпечити одночасне підключення паралельних виходів 8 чи 16 мікросхем АЦП.

Найбільш близьким технічним рішенням до заявленої корисної моделі, є пристрій аналого-цифрового перетворення (АЦП) для шини CompactPCI (CPCI) у форматі 6U, запропонований у [3], до складу якого входять аналогові сигнальні входи, ланцюги узгодження та підсилення, вхід зовнішньої синхронізації, внутрішній тактовий генератор, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), багатоканальні АЦП, модулі оперативної пам'яті, постійний запам'ятовуючий пристрій, програмована логічна інтегральна схема (ПЛІС), в якій містяться модуль перетворення послідовного коду у паралельний, модуль цифрової обробки сигналів, контролер передачі даних на інтерфейсну шину, модуль управління пам'яттю, модуль формування сигналів синхронізації та управління, при цьому аналогові сигнальні входи підключені через ланцюги узгодження та підсилення до відповідних аналогових входів багатоканальних АЦП, вхід зовнішньої синхронізації та вихід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів, передача результатів аналого-цифрового перетворення у модуль цифрової обробки сигналів,

що входить до складу ПЛІС, виконується за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на кожен з каналів АЦП), які підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС), виходи модуля перетворення послідовного коду у паралельний підключені до першої групи входів модуля цифрової обробки сигналів (входить до складу ПЛІС), шини даних модулів оперативної пам'яті підключені через модуль управління пам'яттю (входить до складу ПЛІС) до виходів модуля цифрової обробки сигналів та до відповідних входів контролера передачі даних на інтерфейсну шину, а шини адресації та управління модулів оперативної пам'яті підключені до відповідних виходів модуля управління пам'яттю (входить до складу ПЛІС), постійний запам'ятовуючий пристрій підключений до входів загрузки архітектури ПЛІС, виходи контролера передачі даних на інтерфейсну шину підключені до інтерфейсної шини пристрою.

Відмінною рисою пристрою АЦП, обраного за прототип, є аналого-цифрове перетворення сигналів синхронно у часі по значній кількості паралельних каналів, обробка сигналів з виходів чотирьох і більше каналів АЦП в одному чипі ПЛІС, використання ешелонованого розташування ПЛІС на платі, що дозволяє розділити функції між різними ПЛІС відповідно до етапів цифрової обробки даних. Наприклад, у ПЛІС першого ешелону, що безпосередньо контактує з АЦП, можуть бути реалізовані первинна або узгоджена цифрова фільтрація сигналів із проріджуванням інформаційного потоку у часі (децимацією) й формуванням квадратурних складових сигналів, корекція квадратичних погрешностей, неідентичностей амплітудно-частотних характеристик (АЧХ) аналогових приймальних каналів і діаграм спрямованості антенних елементів, а також модуль менеджменту алгоритмів обробки, що забезпечує їхню адаптацію під необхідний режим функціонування. У другому ешелоні ПЛІС реалізовані модулі міжканальної обробки даних, наприклад, початкові етапи цифрового діаграмоутворення, модуль управління пам'яттю, модуль формування сигналів синхронізації та управління, контролер передачі даних на інтерфейсну шину, що забезпечує передачу результатів цифрової обробки сигналів через шину CompactPCI на подальший обчислювальний пристрій. Для передачі даних між ешелонами ПЛІС використовується послідовний інтерфейс Rocket I/O, що істотно спрощує розведення друкованої плати. Для проведення контролю функціонування МЦПМ можуть використовуватися нарівні з основними також спеціальні тестові архітектури ПЛІС, записані у постійний запам'ятовуючий пристрій, що дозволяють діагностувати правильність функціонування ПЛІС на конкретних фазах обробки сигналів.

До недоліків пристрою - прототипу слід віднести використання ешелонованого розташування модулів обробки даних у різних ПЛІС, що призводить до надмірного теплового розсіювання ними потужності та додаткового споживання електричної енергії пристроєм, надто ускладнює розведен-

ня електричних сигнальних ліній на друкованій платі, спонукає виготовляти її з великою кількістю друкованих шарів. Це призводить до збільшення собівартості пристрою. Крім того, наявність надмірної кількості ПЛІС погіршує електромагнітну сумісність модулів, що застосовуються у пристрої, через випромінювання додаткових завад послідовними інтерфейсними шинами, що з'єднують мікросхеми ПЛІС і виконують роль своєрідних антен та погіршують імпеданс ліній розповсюдження сигналів. Застосування в якості оперативної пам'яті мікросхем статичної пам'яті ZBT SRAM обмежує максимальний об'єм записуваної інформації через відсутність відповідних мікросхем з ємністю 1 Гігабайт та більше і призводить до подорожчання пристрою.

В основу корисної моделі покладене завдання підвищення основних технічних характеристик пристрою АЦП.

Очікуваний технічний результат від заявленої корисної моделі полягає у забезпеченні можливості багаторозрядного (12-біт і більше) оцифрування паралельно до 32 і більше каналів надходження аналогових сигналів, здійснення попередньої цифрової обробки сигналів, що формуються одночасно по всім паралельним каналам АЦП, зменшення джиттеру за рахунок поліпшення електромагнітної сумісності модулів, що застосовуються у пристрої, збільшення об'єму та здешевлення вартості оперативної пам'яті за рахунок застосування розосереджених усередині ПЛІС чарунок пам'яті або окремих мікросхем динамічної пам'яті.

Суть нововведень до корисної моделі порівняно з прототипом полягає у тому, що модуль цифрової обробки сигналів у складі єдиної ПЛІС виконується у вигляді послідовно з'єднаних модулів цифрової фільтрації сигналів, модуля цифрового коригування та модуля цифрового діаграмоутворення, при цьому перша група входів модуля цифрової фільтрації сигналів є першою групою входів модуля цифрової обробки сигналів, а виходи модуля цифрового діаграмоутворення є виходами модуля цифрової обробки сигналів, виходи модуля цифрової фільтрації сигналів підключені до першої групи входів модуля цифрового коригування, виходи якого підключені до першої групи входів модуля цифрового діаграмоутворення, тактові входи модуля цифрової фільтрації сигналів, модуля цифрового коригування, модуля цифрового діаграмоутворення, а також тактові входи АЦП, модуля перетворення послідовного коду у паралельний і перші входи управління модуля управління формування сигналів синхронізації та управління (входить до складу ПЛІС), другі групи входів модуля цифрової фільтрації сигналів та модуля цифрового коригування підключені відповідно до другого та третього виходів модуля формування сигналів синхронізації та управління, вхід вибору алгоритму модуля цифрового діаграмоутворення підключений до четвертого виходу модуля формування сигналів синхронізації та управління, тактовий вхід якого підключений до виходу комутатора тактових сигналів, входи управління

модуля формування сигналів синхронізації та управління підключені до другої групи виходів контролера передачі даних на інтерфейсну шину.

Перший варіант конкретної реалізації заявленого пристрою відрізняється тим, що для забезпечення режиму тестування алгоритмів цифрової обробки сигналів виходи модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС) підключені до першої групи входів модуля цифрової обробки сигналів у складі тієї ж ПЛІС через додатково введений модуль комутації сигналів, при цьому до складу ПЛІС додатково введено цифровий буфер, входи якого підключені до контролера передачі даних на інтерфейсну шину, а виходи - до другої групи входів модуля комутації сигналів, третій вхід якого підключений до виходу переключення режимів "Вибір режиму" модуля формування сигналів синхронізації та управління, тактовий вхід модуля комутації сигналів підключений до першого виходу модуля формування сигналів синхронізації та управління.

Залежно від обраного варіанту виконання в якості інтерфейсної шини може використовуватись шина CompactPCI, CompactPCI Express, інтерфейси Rocket I/O або Ethernet 1 (10) Гбіт/с. Кожному з цих інтерфейсів відповідає свій варіант конкретного виконання заявленого пристрою.

Крім того, пристрій аналого-цифрового перетворення може відрізнитися тим, що в якості АЦП застосовується багатоканальна мікросхема АЦП у складі 4 аналого-цифрових перетворювачів в одному корпусі мікросхеми, при цьому кількість аналогових сигнальних входів пристрою дорівнює $4N$, де N - кількість мікросхем АЦП.

Можливий також варіант, коли в якості АЦП застосовується багатоканальна мікросхема АЦП у складі 8 аналого-цифрових перетворювачів в одному корпусі мікросхеми, при цьому кількість аналогових сигнальних входів пристрою дорівнює $8N$, де N - кількість мікросхем АЦП.

Ще два часткових варіанти виконання запропонованого пристрою відрізняються тим, що в якості модулів оперативної пам'яті застосовуються внутрішні чарунки пам'яті ПЛІС або зовнішні по відношенню до ПЛІС мікросхеми пам'яті, наприклад, динамічного типу.

Порівняльний аналіз технічного рішення, яке заявляється, із прототипом, дозволяє зробити висновок, що заявлений пристрій аналого-цифрового перетворення, суттєво відрізняється тим, що у ньому, на відміну від прототипу, використано нові технічні рішення для реалізації АЦП (застосована одна багатоканальна мікросхема АЦП на всі 4 і більше каналів надходження аналогових сигналів замість окремих мікросхем на кожен з каналів, як це було у прототипі), паралельні інтерфейси передачі результатів оцифрування з виходів окремих мікросхем АЦП на ПЛІС замінені на послідовні диференціальні інтерфейси (по одній диференціальній парі ліній на канал АЦП), що дозволило поліпшити електромагнітну сумісність елементів пристрою, спростити розведення друкованої плати та зменшити явище джиттера. Крім того, виконання обох банків оперативної пам'яті на основі мікросхем динамічної оперативної пам'яті дозволило

знизити вартість оперативної пам'яті, суттєво збільшити її об'єм.

Таким чином, пристрій аналого-цифрового перетворення, який заявляється, відповідає критерію "новизна" корисної моделі.

Суть корисної моделі пояснюється за допомогою креслень, де на Фіг.1 представлена структурна схема основного варіанту реалізації пристрою аналого-цифрового перетворення, який заявляється.

На Фіг.2-4 представлені структурні схема часткових варіантів реалізації пристрою. На Фіг.5 представлено зовнішній вигляд конкретного прикладу реалізації заявленої корисної моделі (лицевий бік плати пристрою), виконаного фірмою-заявником, а на Фіг.6 - вигляд реалізованої плати пристрою, наведеної на Фіг. 5, зі знятим радіатором охолодження ПЛІС.

Цифрами на Фіг.1, 3 позначені:

1.1.1 - 1.N.K - аналогові сигнальні входи, де N - кількість мікросхем АЦП, K - кількість каналів АЦП в одній мікросхемі (K=4(8));

2.1.1. - 2.N.K - ланцюги узгодження та підсилення, де N - кількість мікросхем АЦП, K - кількість каналів АЦП в одній мікросхемі;

3.1 - 3.N - аналого-цифровий перетворювач каналів, де N - кількість мікросхем АЦП;

4 - ПЛІС;

4.1 - Модуль перетворення послідовного коду у паралельний;

4.2 - Модуль цифрової обробки сигналів;

4.2.1 - Модуль цифрової фільтрації сигналів;

4.2.3 - Модуль цифрового коригування;

4.2.4 - Модуль цифрового діаграмоутворення;

4.3 - Модуль формування сигналів синхронізації та управління;

4.4 - Контролер передачі даних на інтерфейсну шину;

4.5 - Модуль управління пам'яттю;

5 - Інтерфейсна шина;

6.1 - Модуль оперативної пам'яті RAM1;

6.2 - Модуль оперативної пам'яті RAM2;

7 - Постійний запам'ятовуючий пристрій;

8 - Вхід зовнішньої синхронізації;

9 - Внутрішній тактовий генератор;

10 - Комутатор тактових сигналів.

Пристрій аналого-цифрового перетворення, що наведено на Фіг.1, 3, містить аналогові сигнальні входи 1.1.1 - 1.N.K, ланцюги узгодження та підсилення 2.1.1. - 2.N.K, вхід зовнішньої синхронізації 8, внутрішній тактовий генератор 9, комутатор тактових сигналів 10 (з внутрішнього тактового генератора 9 та входу зовнішньої синхронізації 8), багатоканальні АЦП 3.1 - 3.N, модулі оперативної пам'яті 6.1, 6.2, постійний запам'ятовуючий пристрій 7, програмована логічна інтегральна схема (ПЛІС) 4, в якій містяться модуль перетворення послідовного коду у паралельний 4.1, модуль цифрової обробки сигналів 4.2, контролер передачі даних на інтерфейсну шину 4.4, модуль управління пам'яттю 4.5, модуль формування сигналів синхронізації та управління 4.3, при цьому аналогові сигнальні входи 1.1.1 - 1.N.K підключені через ланцюги узгодження та підсилення 2.1.1. - 2.N.K до відповідних аналогових входів багатоканальних

АЦП 3.1 -3.N, вхід зовнішньої синхронізації 8 та вихід внутрішнього тактового генератора 9 підключені до відповідних входів комутатора тактових сигналів 10, передача результатів аналого-цифрового перетворення у модуль цифрової обробки сигналів 4.2, що входить до складу ПЛІС 4, виконується за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на кожен з каналів АЦП 3.1 - 3.N), які підключені до відповідних входів модуля перетворення послідовного коду у паралельний 4.1 (входить до складу ПЛІС 4), виходи модуля перетворення послідовного коду у паралельний 4.1 підключені до першої групи входів модуля цифрової обробки сигналів 4.2 (входить до складу ПЛІС 4), шини даних модулів оперативної пам'яті 6.1, 6.2 підключені через модуль управління пам'яттю 4.5 (входить до складу ПЛІС 4) до входів модуля цифрової обробки сигналів 4.2 та до відповідних входів контролера передачі даних на інтерфейсну шину 4.4, а шини адресації та управління модулів оперативної пам'яті 6.1, 6.2 підключені до відповідних виходів модуля управління пам'яттю 4.5 (входить до складу ПЛІС 4), постійний запам'ятовуючий пристрій 7 підключений до входів загрузки архітектури ПЛІС 4, виходи контролера передачі даних на інтерфейсну шину 4.4 підключені до інтерфейсної шини 5 пристрою, який відрізняється тим, що модуль цифрової обробки сигналів 4.2 у складі єдиної ПЛІС 4 виконується у вигляді послідовно з'єднаних модулів цифрової фільтрації сигналів 4.2.1, модуля цифрового коригування 4.2.2 та модуля цифрового діаграмоутворення 4.2.3, при цьому перша група входів модуля цифрової фільтрації сигналів 4.2.1 є першою групою входів модуля цифрової обробки сигналів 4.2, а виходи модуля цифрового діаграмоутворення 4.2.3 є виходами модуля цифрової обробки сигналів 4.2, виходи модуля цифрової фільтрації сигналів 4.2.1 підключені до першої групи входів модуля цифрового коригування 4.2.2, виходи якого підключені до першої групи входів модуля цифрового діаграмоутворення 4.2.3, тактові входи модуля цифрової фільтрації сигналів 4.2.1, модуля цифрового коригування 4.2.2, модуля цифрового діаграмоутворення 4.2.3, а також тактові входи АЦП 3.1 -3.N, модуля перетворення послідовного коду у паралельний 4.1 і перші входи управління модуля управління пам'яттю 4.5 підключені до першого виходу модуля формування сигналів синхронізації та управління 4.3 (входить до складу ПЛІС), другі групи входів модуля цифрової фільтрації сигналів 4.2.1 та модуля цифрового коригування 4.2.2 підключені відповідно до другого та третього виходів модуля формування сигналів синхронізації та управління 4.3, вхід вибору алгоритму модуля цифрового діаграмоутворення 4.2.3 підключений до четвертого виходу модуля формування сигналів синхронізації та управління 4.3, тактовий вхід якого підключений до виходу комутатора тактових сигналів 10, входи управління модуля формування сигналів синхронізації та управління 4.3 підключені до другої групи виходів контролера передачі даних на інтерфейсну шину 4.4.

Принцип роботи основного варіанту заявлено-

го пристрою полягає в наступному.

На етапі підготовки пристрою до роботи за допомогою комутатора тактових сигналів 10 вибирають режим подальшої роботи пристрою: з тактуванням сигналами такту, що подають на вхід зовнішньої синхронізації 8, або ж сигналами такту з внутрішнього тактового генератора 9.

На етапі ініціювання роботи пристрою одразу після вмикання живлення відповідні тактові сигнали надходять на вхід модуля формування сигналів синхронізації та управління 4.3, що входить до складу ПЛІС 4. Крім того, з постійного запам'ятовуючого пристрою 7 через відповідні входи ПЛІС 4 здійснюють загрузку архітектури ПЛІС 4. Далі через інтерфейсну шину 5 і контролер передачі даних на інтерфейсну шину 4.4 у модуль формування сигналів синхронізації та управління 4.3 записують параметри управління роботою пристрою та параметри управління цифровою обробкою сигналів, зокрема: коди управління, що визначають кількість відліків сигналів, які мають накопичуватися в алгоритмі узгодженої фільтрації, коефіцієнти корекції квадратурного розбалансу, коефіцієнти коригування міжканальних неідентичностей амплітудно-частотних характеристик (АЧХ) аналогових приймальних каналів і діаграм спрямованості антенних елементів, розмірність ШПФ для операції цифрового діаграмоутворення.

В основному режимі роботи пристрою, що з'являється, аналогові сигнали з $K \times N$ радіоканалів поступають на аналогові сигнальні входи 1.1.1 - 1.N.K й далі через ланцюги узгодження та підсилення 2.1.1. - 2.N.K - на відповідні аналогові входи N багатоканальних АЦП 3.1 - 3.N. Тактування АЦП 3.1 - 3.N здійснюють за допомогою сигналів управління АЦП, які надходять на тактові входи АЦП 3.1 - 3.N з відповідного виходу модуля формування сигналів синхронізації та управління 4.3.

Результати аналого-цифрового перетворення напруг сигналів з виходів АЦП 3.1 - 3.N передають за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на кожен з K каналів N АЦП 3.1 - 3.N) на вхід модуля перетворення послідовного коду у паралельний 4.1 (входить до складу ПЛІС 4). Далі цифрові відліки напруг сигналів у паралельному коді поступають на першу групу входів модуля цифрової фільтрації сигналів 4.2.1, які одночасно є першою групою входів модуля цифрової обробки сигналів 4.2.

В модулі цифрової фільтрації сигналів 4.2.1 здійснюють попередню узгоджену цифрову фільтрацію сигналів із проріджуванням інформаційного потоку у часі (децимацією) й формуванням квадратурних складових сигналів. По другій групі входів на модуль цифрової фільтрації сигналів 4.2.1 поступають з модуля формування сигналів синхронізації та управління 4.3 коди управління, що визначають кількість відліків сигналів, які мають накопичуватися в алгоритмі узгодженої фільтрації. Крім того, з першого виходу модуля формування сигналів синхронізації та управління 4.3 на вхід модуля цифрової фільтрації сигналів 4.2.1 надходять необхідні тактові сигнали.

Далі у модулі цифрового коригування 4.2.2 ви-

конують корекцію неортогональності квадратур сигналів, завершують процедуру цифрової фільтрації, здійснюють цифрове коригування неідентичностей амплітудно-частотних характеристик (АЧХ) аналогових приймальних каналів і амплітудно-фазових характеристик діаграм спрямованості антенних елементів. Результати обробки у модулі цифрового коригування 4.2.2 надходять на вхід модуля цифрового діаграмоутворення 4.2.3, в якому реалізована міжканальна обробка даних, наприклад, початкові етапи цифрового діаграмоутворення за допомогою операції швидкого перетворення Фур'є.

На другі групи входів модуля цифрового коригування 4.2.2 та модуля цифрового діаграмоутворення 4.2.3 поступають з відповідних виходів модуля формування сигналів синхронізації та управління 4.3 параметри управління цифровою обробкою сигналів, зокрема: коефіцієнти корекції квадратурного розбалансу, коефіцієнти коригування міжканальних неідентичностей амплітудно-частотних характеристик (АЧХ) аналогових приймальних каналів і діаграм спрямованості антенних елементів, розмірність ШПФ для операції цифрового діаграмоутворення. Тактові сигнали надходять з першого виходу модуля формування сигналів синхронізації та управління 4.3 на тактові входи модуля цифрового коригування 4.2.2 та модуля цифрового діаграмоутворення 4.2.3.

Результати обробки сигналів у модулі цифрового діаграмоутворення 4.2.3 з його виходу поступають через модуль управління пам'яттю 4.5 (входить до складу ПЛІС 4) на шину даних модулів оперативної пам'яті 6.1, 6.2. Запис даних здійснюють в один з банків пам'яті, тоді як з іншого банку записані раніше дані зчитують через модуль управління пам'яттю 4.5, контролер передачі даних на інтерфейсну шину 4.4 та саму інтерфейсну шину 5 у подальший обчислювальний пристрій.

Цифрами на Фіг. 2, 4 позначені:

1.1.1 - 1.N.K - аналогові сигнальні входи, де N - кількість мікросхем АЦП, K - кількість каналів АЦП в одній мікросхемі ($K=4(8)$);

2.1.1. - 2.N.K - ланцюги узгодження та підсилення, де N - кількість мікросхем АЦП, K - кількість каналів АЦП в одній мікросхемі;

3.1 - 3.N - аналого-цифровий перетворювач каналів, де N - кількість мікросхем АЦП;

4 - ПЛІС;

4.1 - Модуль перетворення послідовного коду у паралельний;

4.2 - Модуль цифрової обробки сигналів;

4.2.1 - Модуль цифрової фільтрації сигналів;

4.2.3 - Модуль цифрового коригування;

4.2.4 - Модуль цифрового діаграмоутворення;

4.3 - Модуль формування сигналів синхронізації та управління;

4.4 - Контролер передачі даних на інтерфейсну шину;

4.5 - Модуль управління пам'яттю;

4.6 - Цифровий буфер;

4.7 - Модуль комутації сигналів;

5 - Інтерфейсна шина;

6.1 - Модуль оперативної пам'яті RAM1;

6.2 - Модуль оперативної пам'яті RAM2;

- 7 - Постійний запам'ятовуючий пристрій;
- 8 - Вхід зовнішньої синхронізації;
- 9 - Внутрішній тактовий генератор;
- 10 - Комутатор тактових сигналів.

Пристрій аналого-цифрового перетворення, що наведено на Фіг.2, 4, містить аналогові сигнальні входи 1.1.1 - 1.N.K, ланцюги узгодження та підсилення 2.1.1. - 2.N.K, вхід зовнішньої синхронізації 8, внутрішній тактовий генератор 9, комутатор тактових сигналів 10 (з внутрішнього тактового генератора 9 та входу зовнішньої синхронізації 8), багатоканальні АЦП 3.1 - 3.N, модулі оперативної пам'яті 6.1, 6.2, постійний запам'ятовуючий пристрій 7, програмована логічна інтегральна схема (ПЛІС) 4, в якій містяться модуль перетворення послідовного коду у паралельний 4.1, модуль цифрової обробки сигналів 4.2, контролер передачі даних на інтерфейсну шину 4.4, модуль управління пам'яттю 4.5, модуль формування сигналів синхронізації та управління 4.3, при цьому аналогові сигнальні входи 1.1.1 - 1.N.K підключені через ланцюги узгодження та підсилення 2.1.1. - 2.N.K до відповідних аналогових входів багатоканальних АЦП 3.1 -3.N, вхід зовнішньої синхронізації 8 та вихід внутрішнього тактового генератора 9 підключені до відповідних входів комутатора тактових сигналів 10, передача результатів аналого-цифрового перетворення у модуль цифрової обробки сигналів 4.2, що входить до складу ПЛІС 4, виконується за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на кожен з каналів АЦП 3.1 - 3.N), які підключені до відповідних входів модуля перетворення послідовного коду у паралельний 4.1 (входить до складу ПЛІС 4), виходи модуля перетворення послідовного коду у паралельний 4.1 підключені до першої групи входів модуля цифрової обробки сигналів 4.2 (входить до складу ПЛІС 4), шини даних модулів оперативної пам'яті 6.1, 6.2 підключені через модуль управління пам'яттю 4.5 (входить до складу ПЛІС 4) до виходів модуля цифрової обробки сигналів 4.2 та до відповідних входів контролера передачі даних на інтерфейсну шину 4.4, а шини адресації та управління модулів оперативної пам'яті 6.1, 6.2 підключені до відповідних виходів модуля управління пам'яттю 4.5 (входить до складу ПЛІС 4), постійний запам'ятовуючий пристрій 7 підключений до входів загрузки архітектури ПЛІС 4, виходи контролера передачі даних на інтерфейсну шину 4.4 підключені до інтерфейсної шини 5 пристрою, який відрізняється тим, що модуль цифрової обробки сигналів 4.2 у складі єдиної ПЛІС 4 виконується у вигляді послідовно з'єднаних модуля цифрової фільтрації сигналів 4.2.1, модуля цифрового коригування 4.2.2 та модуля цифрового діаграмоутворення 4.2.3, крім того, для забезпечення режиму тестування алгоритмів цифрової обробки сигналів виходи модуля перетворення послідовного коду у паралельний 4.1 підключені до першої групи входів модуля цифрової обробки сигналів 4.2 у складі тієї ж ПЛІС 4 через додатково введений до складу ПЛІС 4 модуль комутації сигналів 4.7, при цьому до складу ПЛІС 4 додатково введено цифровий буфер 4.6, входи якого підключені до контролера передачі даних на інтерфейсну шину 4.4, а виходи - до другої групи входів модуля комутації сигналів 4.7, третій вхід якого підключений до виходу переключення режимів "Вибір режиму" модуля формування сигналів синхронізації та управління 4.3, тактовий вхід модуля комутації сигналів 4.7 підключений до першого виходу модуля формування сигналів синхронізації та управління 4.3, перша група входів модуля цифрової фільтрації сигналів 4.2.1 є першою групою входів модуля цифрової обробки сигналів 4.2, а виходи модуля цифрового діаграмоутворення 4.2.3 є виходами модуля цифрової обробки сигналів 4.2, виходи модуля цифрової фільтрації сигналів 4.2.1 підключені до першої групи входів модуля цифрового коригування 4.2.2, виходи якого підключені до першої групи входів модуля цифрового діаграмоутворення 4.2.3, тактові входи модуля цифрової фільтрації сигналів 4.2.1, модуля цифрового коригування 4.2.2, модуля цифрового діаграмоутворення 4.2.3, а також тактові входи АЦП 3.1 - 3.N, модуля перетворення послідовного коду у паралельний 4.1 і перші входи управління модуля управління пам'яттю 4.5 підключені до першого виходу модуля формування сигналів синхронізації та управління 4.3, вхід вибору алгоритму модуля цифрового діаграмоутворення 4.2.3 підключений до четвертого виходу модуля формування сигналів синхронізації та управління 4.3, тактовий вхід якого підключений до виходу комутатора тактових сигналів 10, входи управління модуля формування сигналів синхронізації та управління 4.3 підключені до другої групи виходів контролера передачі даних на інтерфейсну шину 4.4.

Функціонування заявленого пристрою у варіанті виконання, наведеному на Фіг.2, 4 відрізняється від роботи пристрою за Фіг.1, 3 тим, що у режимі тестування алгоритмів цифрової обробки сигналів на етапі ініціювання роботи пристрою на додаток до описаних операцій через інтерфейсну шину 5 і контролер передачі даних на інтерфейсну шину 4.4 у цифровий буфер 4.6 записують тестові цифрові коди, а у модуль формування сигналів синхронізації та управління 4.3 записують команду на переключення режимів "Вибір режиму". Під дією цієї команди модуль комутації сигналів 4.7 перемикають у стан, коли цифрові дані на вхід модуля цифрової обробки сигналів 4.2 в основному режимі роботи пристрою будуть надходити з цифрового буфера 4.6, а не з модуля перетворення послідовного коду у паралельний 4.1.

В основному режимі роботи варіанту заявленого пристрою, зображеного на Фіг. 2, 4, за допомогою тестових кодів, записаних у цифровий буфер 4.6, контролюють працездатність модуля цифрової обробки сигналів 4.2 шляхом зчитування у подальший обчислювальний пристрій результатів обробки тестової послідовності даних.

Пристрій-корисна модель, що заявляється (далі по тексту - пристрій) у конкретному варіанті

виконання (Фіг.5 та 6), відповідає наведеним нижче вимогам до апаратної й програмної частини й здійснює обробку аналогових вхідних сигналів відповідно до функціональної схеми, наведеної на Фіг.1 або 2 (залежно від конкретної архітектури,

записаної в ПЛІС).

Багатоканальні аналого-цифрові перетворювачі у кількості 4 мікросхем, у складі 8 каналів АЦП кожна, забезпечують:

Параметр	Значення параметра
Розрядність АЦП, біт	12
Максимальна частота дискретизації, МГц, не менш	50
Вхідний опір аналогового входу, Ω	50
Діапазон вхідного сигналу, В	± 1
Середньоквадратичне значення апертурного дребезгу при температурі +25С, пс	1.7
Інтегральна нелінійність перетворення, LSB	± 1
Диференціальна нелінійність перетворення, LSB	± 0.5
Кількість ефективних розрядів на частоті 50МГц, біт, не менш	11

У випадку застосування контролера шини CompactPCI у складі ПЛІС пристрою він забезпечує передачу даних по шині 32 (64) біт/33МГц як у режимі SLAVE, так і в режимі MASTER. Плата пристрою сумісна за рівнями сигналів шини CompactPCI як із шиною 3,3В, так і з шиною 5В.

Контролер CompactPCI забезпечує можливість зчитування й запису параметрів управління в 32 регістра користувача. Кожний з таких регістрів має розрядність 32 біт.

Пристрій за стійкістю до зовнішніх впливів відповідає вимогам, наведеним у таблиці:

Фактори, що впливають	Характеристики факторів, що впливають	Значення фактору, що впливає
Синусоїдальна вібрація	Амплітуда прискорення, g	2
	Діапазон частот, Гц	1-200
Механічний удар: багаторазової дії	Пікове ударне прискорення, g	10
	Тривалість дії ударного прискорення, мс	5-10
Атмосферний знижений тиск	Робочий, Па (мм рт ст)	$6 \cdot 10^4$ (450)
	Граничний (при транспортуванні в неробочому стані), Па (мм рт ст)	$1,2 \cdot 10^4$ (90)
Підвищена температура середовища:	робоча, °С	+65
	гранична в неробочому стані. °С	+85
Знижена температура середовища:	робоча, °С	-40
	гранична в неробочому стані. °С	-40
Зміна температури середовища в неробочому стані:	Діапазон зміни температури, °С	Від -40 до +85
Підвищена вологість	Відносна вологість %, при температурі, °С	98
		+25

Показники надійності пристрою відповідають

вимогам, наведеним у наступній таблиці:

Параметр	Значення параметра
Наробіток на відмову, не менш	20000 годин
Технічний ресурс протягом 10 років, не менш	100 тис. годин

Пристрій може бути виконаний у вигляді плати стандарту CompactPCI 6U або її Rear-модуля висотою 6U. Конструкція плати (трасування провідників, кількість шарів) забезпечує:

1) ізоляцію між аналоговими каналами - не менш 60дБВ,

2) рівень перешкод на аналогових входах від цифрових ланцюгів - не більше мінус 70дБВ,

3) рівень взаємних перешкод по сигнальних цифрових ланцюгах - не більше 100мВ,

4) рівень перешкод по ланцюгах живлення, землі між будь-якою точкою плати - не більше 100мВ,

5) проходження цифрових сигналів (у межах друкованої плати) з наростанням/спадом фронтів 3-5 не без перекручувань.

6) Один із провідних шарів друкованої плати є суцільним (за винятком перехідних отворів) і з'єднується з ланцюгом "Корпус".

Конструкція плати забезпечує можливість використання мікросхем ПЛІС FPGA фірми Xilinx наступних типів: XC2VP20, XC2VP40, XC2VP50.

На друкованій платі пристрою від мікросхеми FPGA до кожної із мікросхем пам'яті розведені окремо шина адреси, шина даних й керуючі сигнали.

Пристрій працює як від внутрішнього, так і від зовнішнього джерела тактового сигналу. Частота зовнішнього джерела тактового сигналу $f_{\text{ТАКТ}} = 50 - 70 \text{ МГц}$. Перемикання джерела тактового сигналу здійснюється за допомогою запаяної у плату перемички.

Контакти JTG_TMS, JTG_TDI, JTG_TDO, JTGJ_TCK, призначені для програмування мікросхем FPGA і FLASH ROM за допомогою інтерфейсу JTAG і підключаються до відповідних ланцюгів пристрою.

Контакт JTG_GND з'єднується з ланцюгом "Корпус" пристрою, а на контакт JTG_VCC33 від ланцюгів живлення плати подається напруга 3,3В.

Передбачена можливість розміщення додаткового рознімання JTAG на друкованій платі пристрою. Друкована плата пристрою разом із установленими на неї компонентами покрита двома шарами вологостійкого лаку. В якості рознімання для аналогових входів пристрою застосовуються рознімання SMA або SMB.

Модуль формування сигналів синхронізації та управління забезпечує видачу на АЦП службових сигналів і зчитування відліків АЦП із тактовою частотою 50МГц. Крім того, модуль формування сигналів синхронізації та управління забезпечує формування управляючих сигналів для модуля управління пам'яттю. Ці сигнали забезпечують запис даних до пам'яті з необхідним коефіцієнтом проріджування і перемикання між модулями управління мікросхемами для забезпечення потрі-

бного алгоритму роботи.

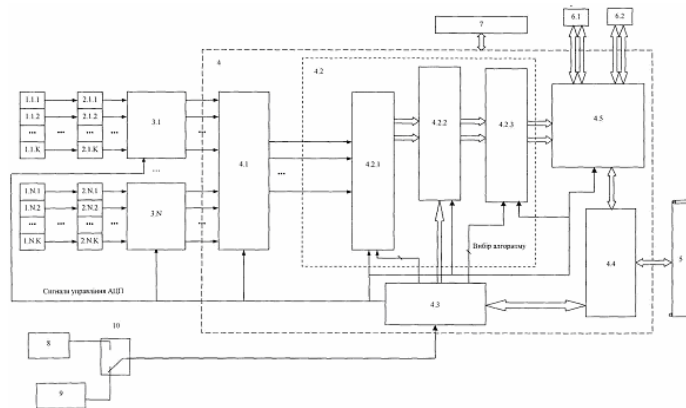
Модуль комутації сигналів забезпечує формування інформаційних потоків для обробки сигналів і запису їх у пам'ять.

Модуль управління пам'яттю забезпечує буферизацію даних для обміну між модулями ПЛІС і складається з двох незалежних модулів керування мікросхемами динамічної пам'яті. Кожен модуль керування мікросхемою забезпечує темп обміну даними при запису або зчитуванні - не менш 50 Мслівх32 у секунду і може знаходитися або в стані запису, або в стані зчитування незалежно один від одного.

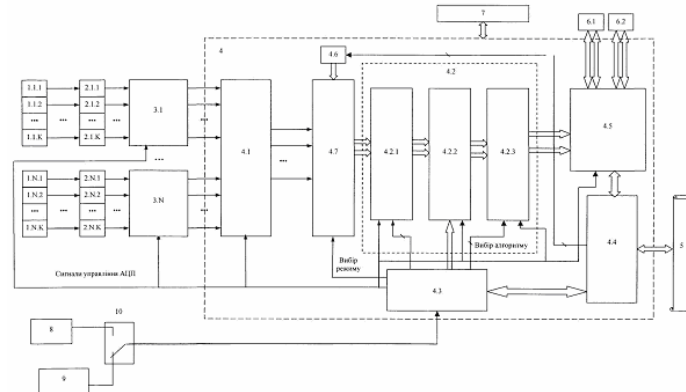
Модуль цифрової обробки, модуль управління пам'яттю, контролер передачі даних на інтерфейс-шину, модуль формування сигналів синхронізації та управління формуються усередині ПЛІС у вигляді скомпільованих ядер.

Джерела інформації:

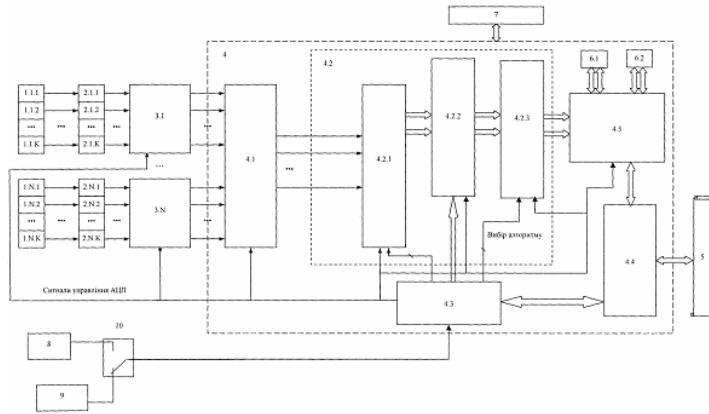
1. MX3132 - 8 Канал 12 Bit A/D. - <http://www.spectrum-gmbh.com/mc3132+M5d637b1e38d.html>. - аналог.
2. VHS-ADC. High Performance Multi-Channel A/D. http://www.lyrtech.com/publications/VHSADC16_en.pdf. - аналог.
3. Слюсар В. И. Схемотехника цифровых антенных решеток. Грани возможного.// Электроника: наука, технология, бизнес. - Москва. - 2004, №8, С.34-40. - http://www.electronics.ru/pdf/8_2004/07.pdf. - прототип.



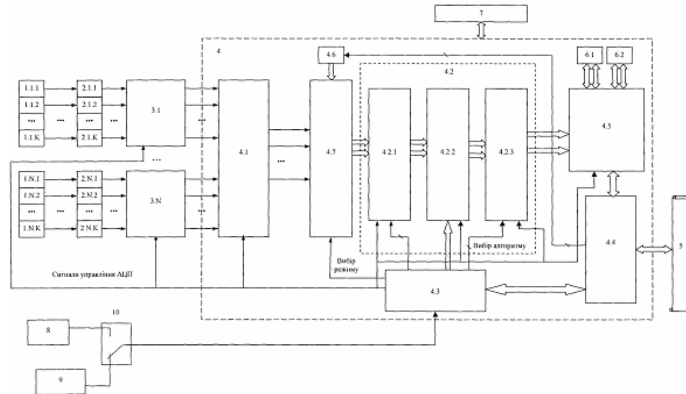
Фіг. 1



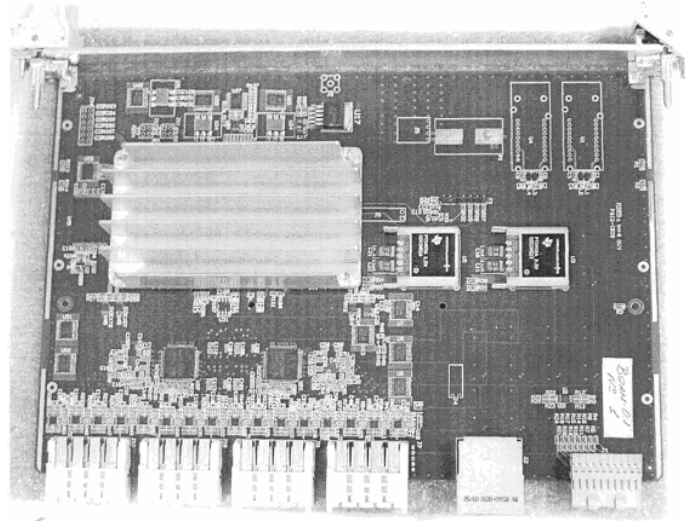
Фіг. 2



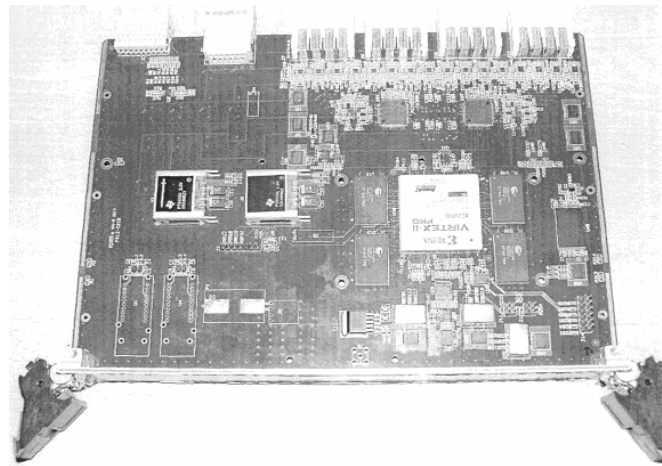
Фиг. 3



Фиг. 4



Фиг. 5



Фіг. 6