

Изобретение относится к области измерительной техники и может быть использовано для измерения отклонений мгновенной частоты от номинального значения, для демодуляции ЧМ-сигналов в радиоизмерительных, радиоприемных устройствах, в цифровых телевизионных декодерах СЕКАМ, в радиолокации.

Известны устройства демодуляции дискретного ЧМ-сигнала, измерения частоты гармонических колебаний [1].

Среди них следует указать электронно-счетные частотомеры, которые характеризуются недостаточной точностью измерений и не подходят для оценивания мгновенной частоты, так как требуют определенного времени для подсчета эталонных импульсов.

Известны цифровые частотные детекторы, выполненные в виде системы ФАПЧ. Однако данные устройства сложны для реализации, требуют определенного времени для вхождения в синхронизм, а также предполагают выполнение преобразования Гильберта над входным сигналом.

Более простыми в техническом исполнении являются частотные детекторы, хотя и основанные на гильбертовской фильтрации, но определяющие частоту расчетным путем. Однако уровень аппаратных затрат в них остается чрезмерным.

Известен частотный детектор с вычислителем арккосинуса, содержащий два регистра, сумматор, сдвиговый регистр, постоянное запоминающее устройство (ПЗУ), быстродействующий делитель. Устройство использует три последовательные выборки сигнала, например A_1 , A_2 и A_3 , на основании которых определяется частота в соответствии с выражением

$$\omega = \frac{1}{T} \cdot \arccos \frac{A_1 + A_3}{2 A_2}, \quad (1)$$

где T - период дискретизации,

Данный частотный детектор является оптимальным с точки зрения минимума среднеквадратической ошибки измерения. Используемая в нем операция деления на выборку A_2 уменьшает зависимость выходного сигнала от амплитуды несущей, что в определенной степени заменяет амплитудный ограничитель и особенно важно для демодуляции ЧМ-сигналов.

Вместе с тем, наличие операции деления в рассматриваемом устройстве является его недостатком, поскольку при $A_2 = 0$ выполнить ее невозможно. Это приводит к сбоям в работе детектора. К тому же необходимость наличия делителя усложняет техническое решение устройства.

Наиболее близким по технической сущности к заявляемому изобретению является цифровой частотный детектор [2], содержащий последовательно соединенные первый и второй регистры, а также постоянное запоминающее устройство, выход первого регистра, вход которого является входом цифрового частотного детектора, подключен к входу одной из переменных адресного входа постоянного запоминающего устройства, управляющие входы первого и второго регистров, являются тактовым входом цифрового частотного детектора.

Детектор оптимален с точки зрения обеспечения минимума среднеквадратической ошибки измерения и технически проще.

Однако возможности по упрощению схемного решения в нем использованы не до конца. Кроме того, возможны сбои в работе частотного детектора при обнулении второго отсчета триады A_2 .

Задачей изобретения является устранение сбоев в работе частотного детектора с одновременным упрощением его аппаратной реализации путем устранения в нем излишних узлов и связей, что повышает технологичность серийного изготовления цифрового частотного детектора, рост отказоустойчивости устройств, изготавливаемых на его основе.

Сущность заявляемого изобретения заключается в том, то операция суммирования, усложняющая техническое решение цифрового частотного детектора, и вычисление арккосинуса, реализуются в рамках одного ПЗУ путем использования цифровых отсчетов сигнала непосредственно в качестве кода адреса. При этом в состав частотного детектора, содержащего последовательно соединенные первый и второй регистры, а также постоянное запоминающее устройство, причем выход первого регистра, вход которого является входом цифрового частотного детектора, подключен к входу одной из переменных адресного входа постоянного запоминающего устройства, управляющие входы первого и второго регистров являются тактовым входом цифрового частотного детектора, согласно изобретению, дополнительно введены регистр-защелка и формирователь сигнала управления, вход которого подключен к выходу первого регистра, а выход - к управляющему входу регистра-защелки, причем вход цифрового частотного детектора и выход второго регистра подключены к входам других соответствующих переменных адресного входа постоянного запоминающего устройства, выход которого соединен со входом регистра-защелки, выход которого является выходом детектор.

Возможное конструктивное выполнение заявляемого устройства показано на чертеже (фиг.), где использованы следующие обозначения: 1 - первый регистр; 2 - второй регистр; 3 - ПЗУ; 4 - регистр-защелка; 5 -формирователь сигнала управления.

Вход частотного детектора соединен с информационным входом первого регистра 1 и адресным входом ПЗУ 3, выход первого регистра 1 соединен с информационным входом второго регистра 2 и вторым адресным входом ПЗУ 3, выход второго регистра 2 соединен с третьим адресным входом ПЗУ 3, выход которого соединен со входом регистра-защелки 4, выход которого является выходом частотного детектора, входы формирователя сигнала управления (элемента ИЛИ-НЕ) 5 подключены к выходу первого регистра 1, а выход - соединен с управляющим входом регистра-защелки 4, объединенные управляющие входы первого и второго регистров 1,2 являются объединенным тактовым входом устройства.

Значения частоты в соответствии с выражением (1) предварительно рассчитывают для всего возможного набора комбинаций триад цифровых отсчетов АЦП A_1 , A_2 , A_3 и записывают в ПЗУ 3 по адресу, составными элементами которого являются указанные коды АЦП A_1 , A_2 , A_3 . Такой прием позволяет в последующем отказаться от выполнения вычислительных операций непосредственно в момент измерения.

Принцип работы заявляемого устройства сводится к следующему. Поступающие на вход частотного детектора цифровые коды АЦП по сигналам такта на управляющих входах первого и второго регистров последовательно записываются в регистры 1, 2 и далее по их выходам используются в качестве составных элементов адреса для выборки из ПЗУ 3 искомых значений частоты сигнала.

При $A_2 \neq 0$ на управляющем входе регистра-защелки 4 присутствует нулевой потенциал, позволяющий сигналу с выхода ПЗУ 3 беспрепятственно транслироваться на выход детектора. При обнулении отсчета A_2 по выходу формирователя 5 сигнала управления устанавливается высокий потенциал, переводящий регистр-защелку 4 из режима трансляции входных данных в режим хранения предыдущего результата. Эту функцию реализует формирователь 5 сигнала управления (элемент ИЛИ-НЕ).

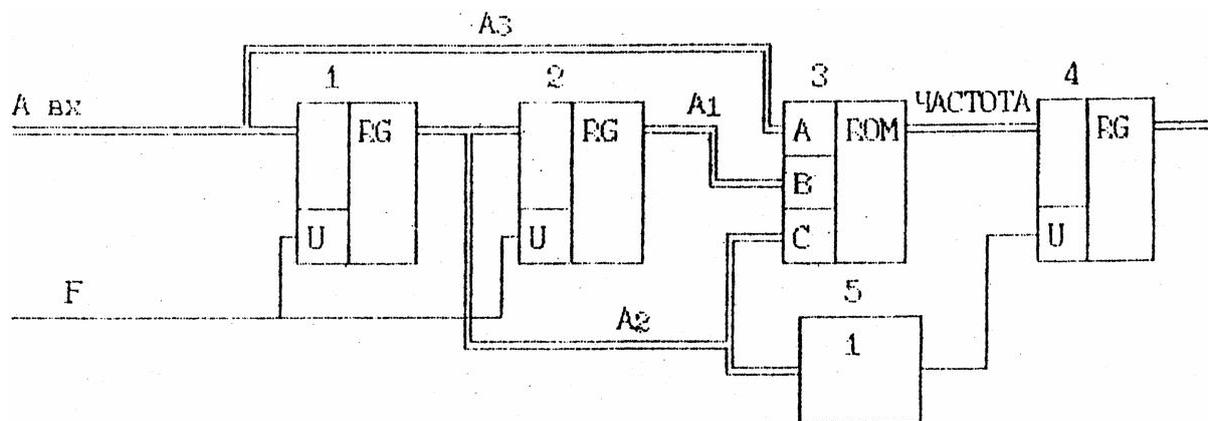
Таким образом, запоминание результата предыдущих измерений на момент $A_2 = 0$ позволяет устранить перерывы в поступлении информации от частотного детектора. Для многих приложений данный подход оказывается вполне приемлемым.

Возможность осуществления заявляемого устройства определяется диапазоном измеряемых частот и допустимой ценой младшего разряда цифрового кода искомой частоты. Например, для частот дискретизации, меньших 10 - 15 МГц, вполне могут быть использованы регистры ТТЛ-серии и ТТЛШ (555, 1533), ПЗУ КР1656 РЕ1, КР1656 РЕ4, КР556 РТ7, КР556 РТ16, КР556 РТ20.

При более высоких частотах квантования можно использовать микросхемы ЭСЛ-серии (500, 1500). В случае необходимости в разрыв цепи прохождения сигнала такта на управляющие входы регистра следует включить элемент задержки.

Источники информации:

1. Холлов Б.Н. Декодирующие устройства цветных телевизоров. - М.: Радио и связь, 1992. - С.88 - 101.
2. Патент США №4737729, кл. H03D1/00, 1988.



Фиг.