



УКРАЇНА

(19) **UA** (11) **115692** (13) **U**  
(51) МПК (2017.01)

**G01S 13/08** (2006.01)

**G01S 13/44** (2006.01)

**G01S 7/02** (2006.01)

**H02K 15/00**

**H02K 15/16** (2006.01)

ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИ

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

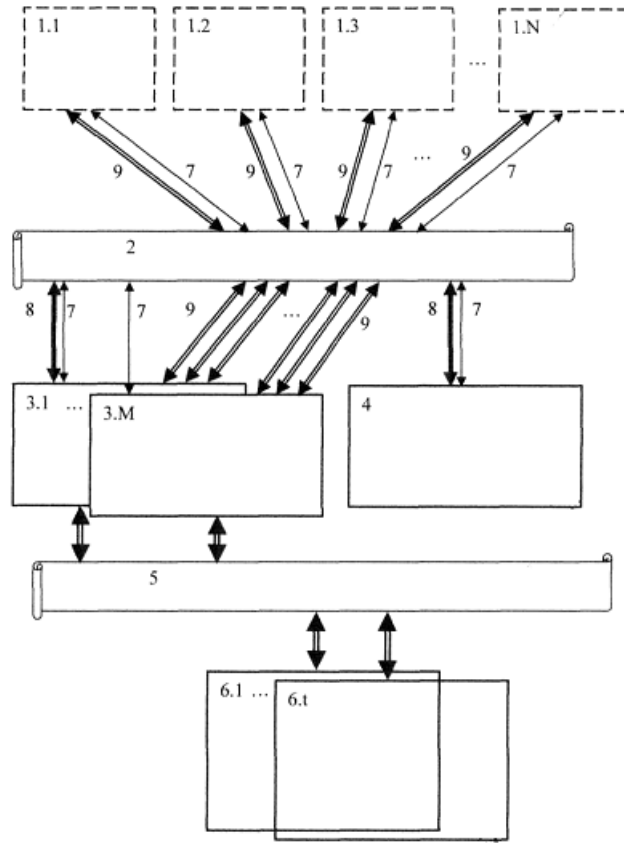
<p>(21) Номер заявки: <b>u 2016 11076</b></p> <p>(22) Дата подання заявки: <b>04.11.2016</b></p> <p>(24) Дата, з якої є чинними права на корисну модель: <b>25.04.2017</b></p> <p>(46) Публікація відомостей про видачу патенту: <b>25.04.2017, Бюл.№ 8</b></p>	<p>(72) Винахідник(и): <b>Волощук Ігор Вікторович (UA), Шацман Леонід Георгієвич (UA), Слюсар Вадим Іванович (UA), Нікітін Микола Михайлович (UA), Корольов Микола Олексійович (UA), Шраєв Дмитро Валентинович (UA), Солощев Олег Миколайович (UA)</b></p> <p>(73) Власник(и): <b>ТОВАРИСТВО З ОБМЕЖЕНОЮ ВІДПОВІДАЛЬНІСТЮ "СКАЙНЕТ LTD", вул. Московська, 8, м. Київ, 01010 (UA)</b></p>
---	--

## (54) СИСТЕМА ОБРОБКИ СИГНАЛІВ ПРИЙМАЛЬНОЇ ЦИФРОВОЇ АНТЕННОЇ РЕШІТКИ

### (57) Реферат:

Система обробки сигналів приймальної цифрової антенної решітки, до складу якої входять багатоканальні цифрові приймальні модулі (БЦПМ), перший об'єднувачий модуль, синхронізатор, процесорний модуль, перша та друга об'єднувачі (крос) плати, причому вихідна шина першого об'єднувачого модуля через рознім першої об'єднувачої (крос) плати підключена до шини даних процесорного модуля, вхідна шина команд управління синхронізатора через перші розніми другої об'єднувачої (крос) плати підключена до відповідної шини першого об'єднувачого модуля, тактові виходи синхронізатора підключені до тактових входів БЦПМ та першого об'єднувачого модуля через другі розніми другої об'єднувачої (крос) плати, виходи БЦПМ підключені через треті розніми другої об'єднувачої (крос) плати до сигнальних входів першого об'єднувачого модуля, причому до складу системи обробки сигналів приймальної цифрової антенної решітки додатково введено  $M$  об'єднувачих модулів ( $M \geq 1$ ).

UA 115692 U



Фиг. 2

Корисна модель належить до галузі радіотехніки, зокрема до пристроїв прийому та аналого-цифрового перетворення сигналів, і може бути використана для багатоканальної обробки сигналів в системах гідроакустики, радіолокації, зв'язку, GPS, оснащених цифровими антенними решітками (ЦАР), а також в інших багатоканальних цифрових детекторах сигналів.

5 Відомо структурна схема цифрового приймального сегмента радіотехнічної системи з ЦАР [1, 2], до складу якої входять багатоканальні цифрові приймальні модулі (БЦПМ), синхронізатор, процесорний модуль, об'єднавча (крос) плата, причому вихідні шини даних (стандарту PCI) модулів БЦПМ та вхідна шина команд управління синхронізатора через рознімання об'єднавчої (крос) плати підключені до шини даних процесорного модуля, тактові виходи синхронізатора  
10 підключені до тактових входів модулів БЦПМ.

Система-аналог дозволяє забезпечити багатоканальне аналого-цифрове перетворення сигналів й подальшу цифрову обробку сигналів. Однак, через використання інтерфейсної шини стандарту PCI вона непридатна для використання в жорстких умовах експлуатації, зокрема, на транспортних засобах, й має обмежений ресурс функціонування при наявності зовнішніх  
15 негативних впливів.

Відомо структурна схема цифрового приймального сегменту радіотехнічної системи з ЦАР [3], до складу якої входять багатоканальні цифрові приймальні модулі (БЦПМ), синхронізатор, процесорний модуль, об'єднавча (крос) плата, причому вихідні шини даних (стандарту CompactPCI) модулів БЦПМ та вхідна шина команд управління синхронізатора через  
20 рознімання об'єднавчої (крос) плати підключені до шини даних процесорного модуля, тактові виходи синхронізатора підключені до тактових входів модулів БЦПМ.

Система-аналог дозволяє забезпечити багатоканальне аналого-цифрове перетворення й подальшу цифрову обробку сигналів в жорстких умовах експлуатації, завдяки використанню стандарту CompactPCI. Однак, вона непридатна для квадратурної обробки сигналів у  
25 реальному масштабі часу у випадку, якщо ЦАР містять багато елементів (наприклад, 64 і більше), що утворюють двокоординатну решітку. Це пояснюється обмеженою швидкістю передачі даних з БЦПМ на процесорний модуль через об'єднавчу (крос) плату та значним відволіканням ресурсів процесорного модуля на інтегровану обробку даних, що надходять з БЦПМ.

Відомо система обробки сигналів приймальної цифрової антенної решітки [4], до складу якої входять багатоканальні цифрові приймальні модулі (БЦПМ), об'єднавчий модуль, синхронізатор, процесорний модуль, перша об'єднавча (крос) плата, причому тактові виходи синхронізатора підключені до тактових входів модулів БЦПМ та об'єднавчого модуля, виходи БЦПМ підключені до сигнальних входів об'єднавчого модуля, вихідна шина об'єднавчого  
35 модуля через рознімання першої об'єднавчої (крос) плати підключені до шини даних процесорного модуля.

Наявність у складі системи-аналогу об'єднавчого модуля дозволяє значною мірою розвантажити процесорний модуль від виконання операцій над сигналами, отриманими з БЦПМ, зокрема, цифрового діаграмоутворення за другою кутовою координатою, синтезу  
40 частотних фільтрів, виявлення сигналів, що перевищили поріг, тощо.

До недоліків системи-аналогу слід віднести використання для передачі сигналів з БЦПМ на об'єднавчий модуль та у зворотному напрямку кабельних з'єднань, застосування у БЦПМ ешелонованого розташування модулів обробки даних у різних ПЛІС, що призводить до надмірного теплового розсіювання ними потужності та додаткового споживання електричної  
45 енергії пристроєм, надто ускладнює розведення електричних сигнальних ліній на друкованій платі, спонукає виготовляти її з великою кількістю друкованих шарів. Це призводить до збільшення собівартості БЦПМ. Крім того, наявність надмірної кількості ПЛІС погіршує електромагнітну сумісність модулів, що застосовуються у пристрої, через випромінювання додаткових завад послідовними інтерфейсними шинами, що з'єднують мікросхеми ПЛІС і виконують роль своєрідних антен та погіршують імпеданс ліній розповсюдження сигналів. Застосування як оперативної пам'яті мікросхем статичної пам'яті ZBT SRAM обмежує  
50 максимальний об'єм записуваної інформації через відсутність відповідних мікросхем з ємністю 1 Гігабайт та більше і призводить до подорожчання пристрою.

Найбільш близьким технічним рішенням до заявленої корисної моделі є система обробки сигналів приймальної цифрової антенної решітки [5], до складу якої входять багатоканальні цифрові приймальні модулі (БЦПМ), перший об'єднавчий модуль, синхронізатор, процесорний модуль, перша та друга об'єднавчі (крос) плати, причому вихідна шина першого об'єднавчого модуля через рознімання першої об'єднавчої (крос) плати підключена до шини даних процесорного модуля, вхідна шина команд управління синхронізатора через перші розніми другої об'єднавчої  
60 (крос) плати підключена до відповідної шини першого об'єднавчого модуля, тактові виходи

синхронізатора підключені до тактових входів БЦПМ та першого об'єднаного модуля через другі розніми другої об'єднаного (крос) плати, виходи БЦПМ підключені через треті розніми другої об'єднаного (крос) плати до сигнальних входів першого об'єднаного модуля.

5 Система-прототип забезпечує конструктивну інтеграцію багатоканальних цифрових приймальних модулів (БЦПМ), об'єднаного модуля, синхронізатора та процесорного модуля у єдиний конструктивний блок, дозволяє зменшити джитер за рахунок поліпшення електромагнітної сумісності всередині модулів, що застосовуються при багаторозрядному (12 біт і більше) оцифровуванні аналогових сигналів паралельно з 32-х і більше каналів їхнього надходження.

10 До недоліків системи-прототипу слід віднести недостатню швидкодію системи та надмірне зростання споживаної потужності об'єднанним модулем при кількості аналогових каналів більше 64, що унеможлиблює забезпечення виконання вимог інтерфейсних стандартів CompactPCI, VPX тощо до граничної споживаної потужності у розрахунку на один рознім.

15 В основу корисної моделі покладене завдання підвищення швидкодії системи та створення більш простих умов для виконання вимог інтерфейсних стандартів щодо потужності, яка розсіюється окремими модулями.

20 Очікуваний технічний результат від заявленої корисної моделі полягає у забезпеченні реалізації прискореного (менше секунди) огляду простору в радіолокаційних та гідроакустичних станціях на основі цифрових антенних решіток при кількості аналогових каналів 128 і більше, розпаралеленні у часі режимів виявлення та супроводження цілей, у тому числі в умовах дії завад, підвищенні темпів оновлення інформації.

25 Суть нововведень до корисної моделі порівняно з прототипом полягає у тому, що до складу системи обробки сигналів приймальної цифрової антенної решітки додатково введено  $M$  об'єднанних модулів ( $M \geq 1$ ), причому вихідні шини кожного з додатково введених об'єднанних модулів через розніми першої об'єднаного (крос) плати підключені до шини даних процесорного модуля, тактові виходи синхронізатора підключені до тактових входів  $M$  додаткових об'єднанних модулів через додаткові другі розніми другої об'єднаного (крос) плати, виходи БЦПМ підключені через додаткові треті розніми другої об'єднаного (крос) плати до сигнальних входів  $M$  додаткових об'єднанних модулів.

30 Можливий варіант виконання системи обробки сигналів приймальної цифрової антенної решітки, який відрізняється тим, що виходи усіх БЦПМ підключені через треті розніми другої об'єднаного (крос) плати до сигнальних входів усіх наявних об'єднанних модулів.

35 Інший варіант виконання заявленої системи обробки сигналів приймальної цифрової антенної решітки, який відрізняється тим, що БЦПМ об'єднані у  $d$  груп, за кожною з таких груп закріплено свій набір об'єднанних модулів, виходи БЦПМ кожної з таких груп підключені через треті розніми другої об'єднаного (крос) плати до сигнальних входів лише свого набору (групи) об'єднанних модулів, при цьому друга об'єднанна (крос) плата розділена на  $d$  незалежних сегментів.

40 Зазначені варіанти виконання системи обробки сигналів приймальної цифрової антенної решітки можуть відрізнятися тим, що процесорний модуль виконаний у складі  $t$  процесорних модулів, один з яких виконує функції головного процесорного модуля, вихідні шини кожного з об'єднанних модулів  $t$ -ї групи об'єднанних модулів через розніми першої об'єднаного (крос) плати підключені до одного з  $t$  наявних процесорних модулів, виходи  $t$ -ї процесорних модулів через розніми першої об'єднаного (крос) плати підключені до відповідних входів головного процесорного модуля.

45 Можливий варіант, коли всі або частину об'єднанних модулів виконано у вигляді процесорного модуля.

50 Інший варіант полягає у тому, що всі або частина об'єднанних модулів заявленої системи виконані згідно з патентом України на корисну модель № 38235 [6], а саме: до складу всіх або частини об'єднанних модулів входять сигнальні входи, вхід зовнішньої синхронізації, внутрішній тактовий генератор, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), модулі оперативної пам'яті, постійний запам'ятовуючий пристрій, інтерфейсна шина, програмована логічна інтегральна схема (ПЛІС), в якій містяться приймачі-передавачі інтерфейсів Rocket I/O, модуль перетворення послідовного коду у паралельний, модуль комутації сигналів, цифровий буфер, контролер передачі даних на інтерфейсну шину, модуль управління пам'яттю, модуль формування сигналів синхронізації та управління, модуль цифрової обробки сигналів, що містить модуль цифрового діаграмоутворення, модуль вилучення відгуків активних завад, модуль синтезу частотних фільтрів, модуль формування квадратів або абсолютних значень напруг для виявлення сигналів, модуль цифрового  
60 діаграмоутворення виконаний у вигляді послідовно з'єднаних модуля завершення цифрового

діаграмоутворення за першою з кутових координат та модуля цифрового діаграмоутворення за другою з кутових координат, при цьому вхід зовнішньої синхронізації та вихід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів, шини даних модулів оперативної пам'яті підключені через модуль управління пам'яттю (входить до складу ПЛІС) до відповідних входів контролера передачі даних на інтерфейсну шину, а шини адресації та управління модулів оперативної пам'яті підключені до відповідних виходів модуля управління пам'яттю (входить до складу ПЛІС), постійний запам'ятовуючий пристрій підключений до входів загрузки архітектури ПЛІС, сигнальні входи підключені до відповідних входів приймачів-передавачів інтерфейсів Rocket I/O (входять до складу ПЛІС), виходи яких підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС), виходи модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС) підключені до першої групи входів модуля комутації сигналів, а також до першої групи входів модуля завершення цифрового діаграмоутворення за першою з кутових координат, виходи якого підключені до першої групи входів модуля цифрового діаграмоутворення за другою з кутових координат, виходи якого підключені до першої групи входів модуля вилучення відгуків активних завад, виходи якого підключені до першої групи входів модуля синтезу частотних фільтрів, виходи якого підключені до першої групи входів модуля формування квадратів або абсолютних значень напруг для виявлення сигналів, входи цифрового буфера підключені до відповідних виходів контролера передачі даних на інтерфейсну шину, а виходи - до другої групи входів модуля комутації сигналів, третій вхід якого підключений до першого виходу (виходу переключення режимів "Вибір режиму") модуля формування сигналів синхронізації та управління, виходи контролера передачі даних на інтерфейсну шину підключені до інтерфейсної шини пристрою, тактові входи модуля перетворення послідовного коду у паралельний, а також модуля цифрового діаграмоутворення, перші входи управління модуля управління пам'яттю підключені до другого виходу модуля формування сигналів синхронізації та управління (входить до складу ПЛІС), тактовий вхід модуля формування сигналів синхронізації та управління підключений до виходу комутатора тактових сигналів, входи управління модуля формування сигналів синхронізації та управління підключені до другої групи виходів контролера передачі даних на інтерфейсну шину, тактові входи приймачів-передавачів інтерфейсів Rocket I/O і контролера передачі даних на інтерфейсну шину підключені до другого виходу модуля формування сигналів синхронізації та управління (входить до складу ПЛІС), до якого також підключені об'єднані тактові входи модуля вилучення відгуків активних завад, модуля синтезу частотних фільтрів, модуля формування квадратів або абсолютних значень напруг для виявлення сигналів, тактовий вхід модуля цифрового діаграмоутворення утворений об'єднаними тактовими входами модуля завершення цифрового діаграмоутворення за першою з кутових координат та модуля цифрового діаграмоутворення за другою з кутових координат, друга група входів модуля вилучення відгуків активних завад підключена до третьої групи виходів модуля формування сигналів синхронізації та управління, другі входи модуля завершення цифрового діаграмоутворення за першою з кутових координат, модуля цифрового діаграмоутворення за другою з кутових координат, модуля синтезу частотних фільтрів та модуля формування квадратів або абсолютних значень напруг для виявлення сигналів підключені відповідно до четвертого, п'ятого, шостого та сьомого виходів модуля формування сигналів синхронізації та управління.

Порівняльний аналіз технічного рішення, яке заявляється, із прототипом дозволяє зробити висновок, що заявлена система обробки сигналів приймальної цифрової антенної решітки суттєво відрізняється наявністю у її складі додатково введених об'єднаних модулів, які можуть бути функціонально поєднані у кілька груп, що можуть бути виконані як на основі програмованих логічних інтегральних схем (ПЛІС), згідно з патентом України на корисну модель № 38235 [6], так і процесорних модулів, а також можливістю застосування кількох процесорних модулів, один з яких виконує функції головного.

Таким чином, система обробки сигналів приймальної цифрової антенної решітки, яка заявляється, відповідає критерію новизни корисної моделі.

Суть корисної моделі пояснюється за допомогою креслень, де на фіг. 1 представлена структурна схема основного варіанту реалізації системи обробки сигналів приймальної цифрової антенної решітки. Фіг. 2 відображує варіант системи, коли процесорний модуль виконаний у складі  $t$  процесорних модулів, один з яких виконує функції головного процесорного модуля.

На фіг. 3 представлено зовнішній вигляд конкретного прикладу реалізації об'єднаного модуля згідно з патентом України на корисну модель № 38235 [5], виконаного фірмою-

заявником, а на фіг. 4 - багатоканального цифрового приймального модуля, виконаного згідно з патентом України на корисну модель № 33256 [6].

Фіг. 5 демонструє варіант розміщення першої (зліва) та другої (справа) об'єднаних (крос) плат всередині стандартного 19-дюймового крейту.

5 Фіг. 6, 7 показують фронтальний вид двох варіантів практичної реалізації системи обробки сигналів приймальної цифрової антенної решітки у складі 19-дюймового крейту.

Цифрами на фіг. 1 позначені складові системи обробки сигналів приймальної цифрової антенної решітки:

1.1-1.N - багатоканальні цифрові приймальні модулі (БЦПМ);

10 2 - друга об'єднана (крос) плата;

3.1-3.M - об'єднані модулі;

4 - синхронізатор;

5 - перша об'єднана (крос) плата;

6 - процесорний модуль;

15 7 - з'єднувальні лінії тактових сигналів, що прокладені у другій об'єднаній (крос) платі;

8 - шина команд управління синхронізатора, що прокладена у другій об'єднаній (крос) платі;

9 - лінії з'єднання виходів БЦПМ з сигнальними входами об'єднаного модуля, що прокладені у другій об'єднаній (крос) платі.

20 Система обробки сигналів приймальної цифрової антенної решітки, що наведена на фіг. 1, містить багатоканальні цифрові приймальні модулі (БЦПМ) 1.1-1.N, перший об'єднаний модуль 3.1, синхронізатор 4, процесорний модуль 6, перша об'єднана (крос) плата 5, причому вихідна шина першого об'єднаного модуля 3.1 через рознім першої об'єднаної (крос) плати 5 підключені до шини даних процесорного модуля 6, тактові виходи синхронізатора 4 підключені до тактових входів модулів БЦПМ 1.1-1.N та першого об'єднаного модуля 3.1, виходи БЦПМ 25 1.1-1.N підключені до сигнальних входів першого об'єднаного модуля 3.1, вихідна шина першого об'єднаного модуля 3.1 через рознім першої об'єднаної (крос) плати 5 підключена до шини даних процесорного модуля 6, відрізняється тим, що до складу системи обробки сигналів приймальної цифрової антенної решітки додатково введено M об'єднаних модулів ( $M \geq 1$ ) 3.M, причому вихідні шини кожного з додатково введених об'єднаних модулів 3.M через розніми 30 першої об'єднаної (крос) плати 5 підключені до шини даних процесорного модуля 6, тактові виходи синхронізатора 4 підключені до тактових входів M додаткових об'єднаних модулів 3.1 - 3.M через додаткові другі розніми другої об'єднаної (крос) плати 2, виходи БЦПМ 1.1-1.N підключені через додаткові треті розніми другої об'єднаної (крос) плати 2 до сигнальних входів M додаткових об'єднаних модулів 3.M.

35 Принцип роботи заявленої системи обробки сигналів приймальної цифрової антенної решітки, наведеної на фіг. 1, полягає в наступному.

На етапі ініціювання роботи системи одразу вмикання живлення тактові сигнали по з'єднувальним лініям 7 через другі рознімання другої об'єднаної (крос) плати 2 надходять з синхронізатора 4 на об'єднані модулі 3.1-3.M та БЦПМ 1.1-1.N. Після завантаження операційної 40 системи та необхідного програмного забезпечення у процесорному модулі 6 з нього через першу об'єднану (крос) плату 5 транзитом через перший об'єднаний модуль 3.1 на вхідну шину команд управління 8 синхронізатора 4 через перші рознімання другої об'єднаної (крос) плати 2 надходять команди управління режимом роботи синхронізатора 4 та завантажуються необхідні для його подальшого функціонування параметри формування тактових сигналів. Крім 45 того, з процесорного модуля 6 через першу об'єднану (крос) плату 5 транзитом через об'єднані модулі 3.1-3.M та треті розніми другої об'єднаної (крос) плати 2 по лініям 9 надходять на БЦПМ 1.1-1.N команди управління режимом роботи, масиви коефіцієнтів корекції амплітудно-частотних характеристик приймальних каналів та інша службова інформація, необхідна для функціонування БЦПМ 1.1-1.N. На завершення етапу ініціювання роботи системи 50 з процесорного модуля 6 через першу об'єднану (крос) плату 5 на об'єднані модулі 3.1 - 3.M надходять команди управління режимом роботи та параметри управління цифровою обробкою сигналів, наприклад, розмірності операцій швидкого перетворення Фур'є (ШПФ) для виконання цифрового діаграмоутворення за азимутом та кутом місця і синтезу частотних фільтрів.

В основному режимі роботи системи, що заявляється, результати аналого-цифрового 55 перетворення сигналів у БЦПМ 1.1-1.N через лінії з'єднання 9, що прокладені у другій об'єднаній (крос) платі 2, з виходів БЦПМ 1.1-1.N надходять до сигнальних входів об'єднаних модулів 3.1-3.M, у яких, наприклад, згідно з патентом України на корисну модель № 38235 [5], завершується операція цифрового діаграмоутворення за першою з кутових координат, виконується цифрове діаграмоутворення за другою з кутових координат, здійснюється 60 вилучення відгуків активних завад, синтез частотних фільтрів та формування квадратів або

абсолютних значень напруг для виявлення сигналів. Результати цифрової обробки сигналів з об'єднувачих модулів 3.1-3.М через першу об'єднувачу (крос) плату 5 записуються у процесорний модуль 6, який завершує цифрову обробку сигналів та забезпечує інтерфейс системи з оператором.

5 Цифрами на фіг. 2 позначені складові системи обробки сигналів приймальної цифрової антенної решітки:

1.1-1.N - багатоканальні цифрові приймальні модулі (БЦПМ);

2 - друга об'єднувача (крос) плата;

3.1-3.М - об'єднувачі модулів;

10 4 - синхронізатор;

5 - перша об'єднувача (крос) плата;

6.1-6.t - процесорний модуль, виконаний у складі t процесорних модулів;

7 - з'єднувальні лінії тактових сигналів, що прокладені у другій об'єднувачій (крос) платі;

8 - шина команд управління синхронізатора, що прокладена у другій об'єднувачій (крос) платі;

15 9 - лінії з'єднання виходів БЦПМ з сигнальними входами об'єднувачого модуля, що прокладені у другій об'єднувачій (крос) платі.

Принцип роботи заявленої системи обробки сигналів приймальної цифрової антенної решітки, наведеної на фіг. 2, відрізняється тим, що процесорні модулі реалізують за отриманими від об'єднувачих модулів цифровими відліками напруг сигналів режими виявлення, супроводження цілей та вилучення сигналів активних і пасивних завад. При цьому головний процесорний модуль забезпечує, наприклад, відображення сигналів цілей на екрані дисплея та інші функції людино-машинного інтерфейсу.

20 Система, що заявляється, у конкретному варіанті виконання (фіг. 6 та 7), здійснює цифрову обробку сигналів відповідно до функціональної схеми, наведеної на фіг. 1. В обох варіантах системи (фіг. 6 та 7) використано процесорний модуль з інтерфейсною шиною CompactPCI, а також 4 БЦПМ, один об'єднувачий модуль та один синхронізатор.

Можливий варіант технічної реалізації заявленої системи, коли багатоканальний цифровий приймальний модуль (БЦПМ) виконаний згідно з патентом України на корисну модель № 33256 [7], а саме: до складу багатоканального цифрового приймального модуля (БЦПМ) входять аналогові сигнальні входи, ланцюги узгодження та підсилення, вхід зовнішньої синхронізації, внутрішній тактовий генератор, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), багатоканальні АЦП, модулі оперативної пам'яті, постійний запам'ятовуючий пристрій, програмована логічна інтегральна схема (ПЛІС), в якій містяться модуль перетворення послідовного коду у паралельний, модуль цифрової обробки сигналів, контролер передачі даних на інтерфейсну шину (виходи БЦПМ), модуль управління пам'яттю, модуль формування сигналів синхронізації та управління, модуль цифрової обробки сигналів у складі ПЛІС виконується у вигляді послідовно з'єднаних модуля цифрової фільтрації сигналів, модуля цифрового коригування та модуля цифрового діаграмоутворення, при цьому перша група входів модуля цифрової фільтрації сигналів є першою групою входів модуля цифрової обробки сигналів, а виходи модуля цифрового діаграмоутворення є виходами модуля цифрової обробки сигналів, виходи модуля цифрової фільтрації сигналів підключені до першої групи входів модуля цифрового коригування, виходи якого підключені до першої групи входів модуля цифрового діаграмоутворення, тактові входи модуля цифрової фільтрації сигналів, модуля цифрового коригування, модуля цифрового діаграмоутворення, а також тактові входи АЦП, модуля перетворення послідовного коду у паралельний і перші входи управління модуля управління пам'яттю підключені до першого виходу модуля формування сигналів синхронізації та управління (входить до складу ПЛІС), другі групи входів модуля цифрової фільтрації сигналів та модуля цифрового коригування підключені відповідно до другого та третього виходів модуля формування сигналів синхронізації та управління, вхід вибору алгоритму модуля цифрового діаграмоутворення підключений до четвертого виходу модуля формування сигналів синхронізації та управління, тактовий вхід якого підключений до виходу комутатора тактових сигналів, входи управління модуля формування сигналів синхронізації та управління підключені до другої групи виходів контролера передачі даних на інтерфейсну шину (виходи БЦПМ), аналогові сигнальні входи багатоканального цифрового приймального модуля підключені через ланцюги узгодження та підсилення до відповідних аналогових входів багатоканальних АЦП, вхід зовнішньої синхронізації та вихід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів, передача результатів аналого-цифрового перетворення у модуль цифрової обробки сигналів, що входить до складу ПЛІС, виконується за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на кожен з каналів АЦП), які підключені до відповідних входів модуля перетворення послідовного коду у

паралельний (входить до складу ПЛІС), виходи модуля перетворення послідовного коду у паралельний підключені до першої групи входів модуля цифрової обробки сигналів (входить до складу ПЛІС), шини даних модулів оперативної пам'яті підключені через модуль управління пам'яттю (входить до складу ПЛІС) до виходів модуля цифрової обробки сигналів та до відповідних входів контролера передачі даних на інтерфейсну шину (виходи БЦПМ), а шини адресації та управління модулів оперативної пам'яті підключені до відповідних виходів модуля управління пам'яттю (входить до складу ПЛІС), постійний запам'ятовуючий пристрій підключений до входів завантаження архітектури ПЛІС, виходи контролера передачі даних на інтерфейсну шину є виходами БЦПМ.

Також можливий варіант, коли багатоканальний цифровий приймальний модуль (БЦПМ) виконаний згідно з патентом України на корисну модель № 39243 [8], а саме: до складу багатоканального цифрового приймального модуля (БЦПМ) входять блок приймачів і блок аналого-цифрового перетворення та обробки сигналів, блок приймачів містить N приймальних модулів у складі антенного входу, підсилювача, перемножувача частоти, гетеродинного входу, входу контрольного сигналу, двох квадратурних приймальних каналів та двох аналогових виходів кожний, крім того, блок приймачів містить вхід живлення, модуль живлення блока приймачів, вхід сигналу гетеродину, підсилювач сигналу гетеродину, розгалужувач сигналу гетеродину, вхід контрольного сигналу, підсилювач контрольного сигналу, розгалужувач контрольного сигналу, блок аналого-цифрового перетворення та обробки сигналів містить 2N аналогових сигнальних входів, ланцюги узгодження та підсилення, вхід зовнішньої синхронізації, внутрішній тактовий генератор, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), багатоканальні АЦП, модулі оперативної пам'яті, постійний запам'ятовуючий пристрій, програмована логічна інтегральна схема (ПЛІС), в якій містяться модуль перетворення послідовного коду у паралельний, модуль комутації сигналів, цифровий буфер, модуль цифрової обробки сигналів у вигляді послідовно з'єднаних модуля цифрової фільтрації сигналів, модуля цифрового коригування та модуля цифрового діаграмоутворення, контролер передачі даних на інтерфейсну шину (виходи БЦПМ), модуль управління пам'яттю, модуль формування сигналів синхронізації та управління, при цьому всі 2N виходів блока приймачів підключені до 2N аналогових сигнальних входів блока аналого-цифрового перетворення та обробки сигналів, у кожному з N приймальних модулів блока приймачів антенний вхід є одночасно входом підсилювача, вихід якого підключений до першого входу перемножувача частоти, другий вхід якого є одночасно гетеродинним входом приймального модуля, а другий вхід підсилювача є входом контрольного сигналу приймального модуля, квадратурні виходи перемножувача частоти підключені до відповідних входів двох квадратурних приймальних каналів, гетеродинний вхід приймального модуля підключений до одного з відповідних виходів розгалужувача сигналу гетеродину, вхід контрольного сигналу приймального модуля підключений до одного з відповідних виходів розгалужувача контрольного сигналу, вхід живлення приймального модуля підключений до відповідного виходу модуля живлення блока приймачів, вхід сигналу гетеродину блока приймачів є одночасно входом підсилювача сигналу гетеродину вихід якого підключений до входу розгалужувача сигналу гетеродину, вхід контрольного сигналу блока приймачів є входом підсилювача контрольного сигналу, вихід якого підключений до входу розгалужувача контрольного сигналу, вхід модуля живлення є входом живлення блока приймачів, у блоці аналого-цифрового перетворення та обробки сигналів аналогові сигнальні входи підключені через ланцюги узгодження та підсилення до відповідних аналогових входів багатоканальних АЦП, вхід зовнішньої синхронізації та вихід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів, передача результатів аналого-цифрового перетворення у модуль цифрової обробки сигналів, що входить до складу ПЛІС, виконується за допомогою послідовних диференціальних інтерфейсів (по одній диференціальній парі ліній на кожен з каналів АЦП), які підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС), виходи модуля перетворення послідовного коду у паралельний підключені до першої групи входів модуля цифрової обробки сигналів (входить до складу ПЛІС), шини даних модулів оперативної пам'яті підключені через модуль управління пам'яттю (входить до складу ПЛІС) до виходів модуля цифрової обробки сигналів та до відповідних входів контролера передачі даних на інтерфейсну шину (виходи БЦПМ), а шини адресації та управління модулів оперативної пам'яті підключені до відповідних виходів модуля управління пам'яттю (входить до складу ПЛІС), постійний запам'ятовуючий пристрій підключений до входів завантаження архітектури ПЛІС, виходи контролера передачі даних на інтерфейсну шину є виходами БЦПМ, перша група входів модуля цифрової фільтрації сигналів є першою групою входів модуля цифрової обробки сигналів, а виходи модуля цифрового діаграмоутворення є виходами модуля цифрової обробки



сигналів, виходи модуля цифрової фільтрації сигналів підключені до першої групи входів модуля цифрового коригування, виходи якого підключені до першої групи входів модуля цифрового діаграмоутворення тактові входи модуля цифрової фільтрації сигналів, модуля цифрового коригування, модуля цифрового діаграмоутворення, а також тактові входи АЦП модуля перетворення послідовного коду у паралельний і перші входи управління модуля управління пам'яттю підключені до першого виходу модуля формуванні сигналів синхронізації та управління (входить до складу ПЛІС), другі групи входів модуля цифрової фільтрації сигналів та модуля цифрового коригування підключені відповідно до другого та третього виходів модуля формуванні сигналів синхронізації та управління, вхід вибору алгоритму модуля цифрового діаграмоутворення підключений до четвертого виходу модуля формуванні сигналів синхронізації та управління, тактовий вхід якого підключений до виходу комутатора тактових сигналів, входи управління модуля формуванні сигналів синхронізації та управління підключені до другої групи виходів контролера передачі даних на інтерфейсну шину (виходи БЦПМ), виходи модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС) підключені до першої групи входів модуля цифрової обробки сигналів у склад тієї ж ПЛІС через модуль комутації сигналів, входи цифрового буферу підключені до контролера передачі даних на інтерфейсну шину (виходи БЦПМ) а виходи - до другої групи входів модуля комутації сигналів, третій вхід якого підключений до виходу переключення режимів "Вибір режиму" модулі формування сигналів синхронізації та управління, тактовий вхід модулі комутації сигналів підключений до першого виходу модуля формування сигналів синхронізації та управління.

Джерела інформації:

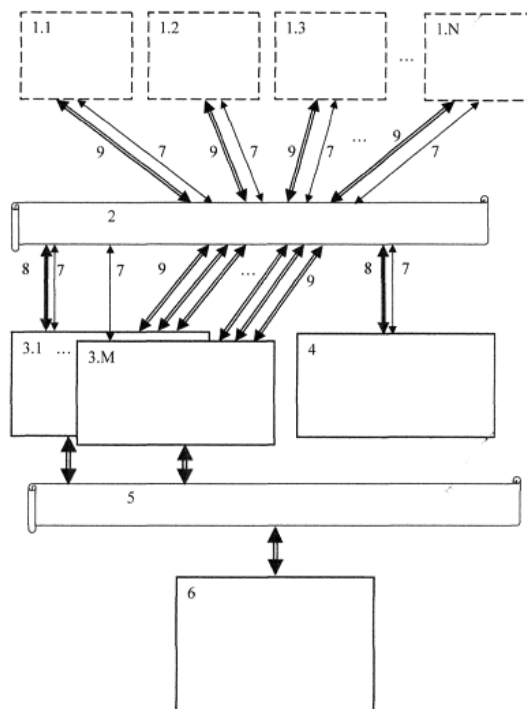
1. Слюсар В.И. Схемотехника цифрового диаграммообразования. Модульные решения. / Электроника: наука, технология, бизнес. - Москва. - 2002, № 1, - С. 46-52. [http://www.electronics.ru/pdf/l\\_2002/12.pdf](http://www.electronics.ru/pdf/l_2002/12.pdf). - аналог.
2. Слюсар В.И. Модульные решения в схемотехнике цифрового диаграммообразования. // Известия вузов. Сер. Радиоэлектроника. - 2003. - Том 46, № 12. С. 48-62. - [http://www.slyusar.kiev.ua/IZV\\_VUZ\\_2003\\_12.pdf](http://www.slyusar.kiev.ua/IZV_VUZ_2003_12.pdf). - аналог.
3. Слюсар В.И. Схемотехника цифровых антенных решеток. Грани возможного. // Электроника: наука, технология, бизнес. - Москва. - 2004, № 8. - С. 34-35, рис. 3. - [http://www.electronics.ru/pdf/8\\_2004/07.pdf](http://www.electronics.ru/pdf/8_2004/07.pdf). - аналог.
4. Слюсар В.И. Схемотехника цифровых антенных решеток. Грани возможного. // Электроника: наука, технология, бизнес. - Москва. - 2004, № 8. - С. 35, рис. 4. - [http://www.electronics.ru/pdf/8\\_2004/07.pdf](http://www.electronics.ru/pdf/8_2004/07.pdf). - аналог.
5. Патент України на корисну модель № 47675. МПК (2009) МПК 7 G01S 13/08-13/44, G01S 7/02-7/46, H02K 15/00-15/16. Система обробки сигналів приймальної цифрової антенної решітки. // Слюсар В.І., Волощук І.В., Гриценко В.М., Бондаренко М.В., Малащук В.П., Шацман Л.Г., Нікітін М.М. - Заявка на видачу патенту України на корисну модель № U200903986 від 22.04.2009. - Патент опубліковано 25.02.2010, бюл. № 4. - прототип.
6. Патент України на корисну модель № 38235. МПК (2006) G 01 S 13/00, G 01 S 7/00. Об'єднавчий модуль цифрової обробки сигналів. / Волощук І.В., Гриценко В.М., Бондаренко М.В., Малащук В.П., Шацман Л.Г., Нікітін М.М. - Заявка на видачу патенту України на корисну модель № U200810240 від 11.08.2008. - Патент опубл. 25.12.2008, бюл. № 24.
7. Патент України на корисну модель № 33256. МПК 7 G01S 13/08-13/44, G01S 7/02-7/46, H02K 15/00-15/16. Пристрій аналого-цифрового перетворення. // Слюсар В.І., Волощук І.В., Гриценко В.М., Бондаренко М.В., Малащук В.П., Шацман Л.Г., Нікітін М.М. - Заявка на видачу патенту України на корисну модель № u 2008 02466 від 26.02.2008. - Патент опубл. 10.06.2008, бюл. №11.
8. Патент України на корисну модель № 39243. МПК (2006) G01S 13/00, G01S 7/00, H02K 15/00. Багатоканальний приймальний пристрій. // Слюсар В.І., Волощук І.В., Алесін А.М., Гриценко В.М., Бондаренко М.В., Малащук В.П., Шацман Л.Г., Нікітін М.М. - Заявка на видачу патенту України на корисну модель № u 200813442 від 21.11.2008. - Патент опубл. 10.02.2009, бюл. № 3.

#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

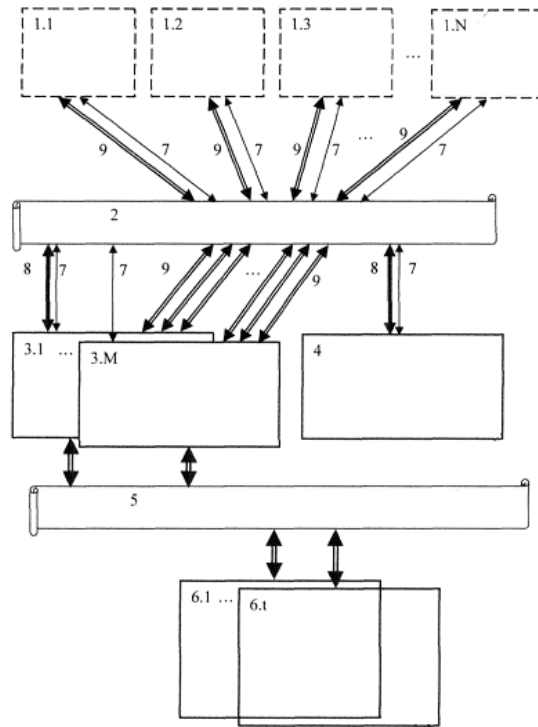
1. Система обробки сигналів приймальної цифрової антенної решітки, до складу якої входять багатоканальні цифрові приймальні модулі (БЦПМ), перший об'єднавчий модуль, синхронізатор, процесорний модуль, перша та друга об'єднавчі (крос) плати, причому вихідна шина першого об'єднавчого модуля через рознім першої об'єднавчої (крос) плати підключена до шини даних процесорного модуля, вхідна шина команд управління синхронізатора через перші

- розніми другої об'єднаної (крос) плати підключена до відповідної шини першого об'єднаного модуля, тактові виходи синхронізатора підключені до тактових входів БЦПМ та першого об'єднаного модуля через другі розніми другої об'єднаної (крос) плати, виходи БЦПМ підключені через треті розніми другої об'єднаної (крос) плати до сигнальних входів першого об'єднаного модуля, яка **відрізняється** тим, що до складу системи обробки сигналів приймальної цифрової антенної решітки додатково введено  $M$  об'єднаних модулів ( $M \geq 1$ ), причому вихідні шини кожного з додатково введених об'єднаних модулів через розніми першої об'єднаної (крос) плати підключені до шини даних процесорного модуля, тактові виходи синхронізатора підключені до тактових входів  $M$  додаткових об'єднаних модулів через додаткові другі розніми другої об'єднаної (крос) плати, виходи БЦПМ підключені через додаткові треті розніми другої об'єднаної (крос) плати до сигнальних входів  $M$  додаткових об'єднаних модулів.
2. Система обробки сигналів приймальної цифрової антенної решітки за п. 1, яка **відрізняється** тим, що виходи усіх БЦПМ підключені через треті розніми другої об'єднаної (крос) плати до сигнальних входів усіх наявних об'єднаних модулів.
3. Система обробки сигналів приймальної цифрової антенної решітки за п. 1, яка **відрізняється** тим, що БЦПМ об'єднані у  $d$  груп, за кожною з таких груп закріплено свій набір об'єднаних модулів, виходи БЦПМ кожної з таких груп підключені через треті розніми другої об'єднаної (крос) плати до сигнальних входів лише свого набору (групи) об'єднаних модулів, при цьому друга об'єднана (крос) плата розділена на  $d$  незалежних сегментів.
4. Система обробки сигналів приймальної цифрової антенної решітки за будь-яким з пп. 2, 3, яка **відрізняється** тим, що процесорний модуль виконаний у складі  $t$  процесорних модулів, один з яких виконує функції головного процесорного модуля, вихідні шини кожного з об'єднаних модулів  $t$ -ї групи об'єднаних модулів через розніми першої об'єднаної (крос) плати підключені до одного з  $t$  наявних процесорних модулів, виходи  $t$ -х процесорних модулів через розніми першої об'єднаної (крос) плати підключені до відповідних входів головного процесорного модуля.
5. Система обробки сигналів приймальної цифрової антенної решітки за будь-яким з пп. 1-4, яка **відрізняється** тим, що всі або частину об'єднаних модулів виконано у вигляді процесорного модуля.
6. Система обробки сигналів приймальної цифрової антенної решітки за будь-яким з пп. 1-4, яка **відрізняється** тим, що до складу всіх або частини об'єднаних модулів входять сигнальні входи, вхід зовнішньої синхронізації, внутрішній тактовий генератор, комутатор тактових сигналів (з внутрішнього тактового генератора та входу зовнішньої синхронізації), модулі оперативної пам'яті, постійний запам'ятовуючий пристрій, інтерфейсна шина, програмована логічна інтегральна схема (ПЛІС), в якій містяться приймачі-передавачі інтерфейсів Rocket I/O, модуль перетворення послідовного коду у паралельний, модуль комутації сигналів, цифровий буфер, контролер передачі даних на інтерфейсну шину, модуль управління пам'яттю, модуль формування сигналів синхронізації та управління, модуль цифрової обробки сигналів, що містить модуль цифрового діаграмоутворення, модуль вилучення відгуків активних завад, модуль синтезу частотних фільтрів, модуль формування квадратів або абсолютних значень напруг для виявлення сигналів, модуль цифрового діаграмоутворення, виконаний у вигляді послідовно з'єднаних модуля завершення цифрового діаграмоутворення за першою з кутових координат та модуля цифрового діаграмоутворення за другою з кутових координат, при цьому вхід зовнішньої синхронізації та вихід внутрішнього тактового генератора підключені до відповідних входів комутатора тактових сигналів, шини даних модулів оперативної пам'яті підключені через модуль управління пам'яттю (входить до складу ПЛІС) до відповідних входів контролера передачі даних на інтерфейсну шину, а шини адресації та управління модулів оперативної пам'яті підключені до відповідних виходів модуля управління пам'яттю (входить до складу ПЛІС), постійний запам'ятовуючий пристрій підключений до входів завантаження архітектури ПЛІС, сигнальні входи підключені до відповідних входів приймачів-передавачів інтерфейсів Rocket I/O (входять до складу ПЛІС), виходи яких підключені до відповідних входів модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС), виходи модуля перетворення послідовного коду у паралельний (входить до складу ПЛІС) підключені до першої групи входів модуля комутації сигналів, а також до першої групи входів модуля завершення цифрового діаграмоутворення за першою з кутових координат, виходи якого підключені до першої групи входів модуля цифрового діаграмоутворення за другою з кутових координат, виходи якого підключені до першої групи входів модуля вилучення відгуків активних завад, виходи якого підключені до першої групи входів модуля синтезу частотних фільтрів, виходи якого підключені до першої групи входів модуля формування квадратів або абсолютних значень

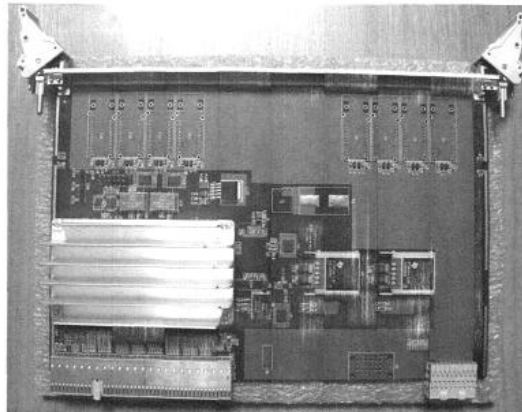
напруг для виявлення сигналів, входи цифрового буфера підключені до відповідних виходів контролера передачі даних на інтерфейсну шину, а виходи - до другої групи входів модуля комутації сигналів, третій вхід якого підключений до першого виходу (виходу переключення режимів "Вибір режиму") модуля формування сигналів синхронізації та управління, виходи контролера передачі даних на інтерфейсну шину підключені до інтерфейсної шини пристрою, тактові входи модуля перетворення послідовного коду у паралельний, а також модуля цифрового діаграмоутворення, перші входи управління модуля управління пам'яттю підключені до другого виходу модуля формування сигналів синхронізації та управління (входить до складу ПЛІС), тактовий вхід модуля формування сигналів синхронізації та управління підключений до виходу комутатора тактових сигналів, входи управління модуля формування сигналів синхронізації та управління підключені до другої групи виходів контролера передачі даних на інтерфейсну шину, тактові входи приймачів-передавачів інтерфейсів Rocket I/O і контролера передачі даних на інтерфейсну шину підключені до другого виходу модуля формування сигналів синхронізації та управління (входить до складу ПЛІС), до якого також підключені об'єднані тактові входи модуля вилучення відгуків активних завад, модуля синтезу частотних фільтрів, модуля формування квадратів або абсолютних значень напруг для виявлення сигналів, тактовий вхід модуля цифрового діаграмоутворення утворений об'єднаними тактовими входами модуля завершення цифрового діаграмоутворення за першою з кутових координат та модуля цифрового діаграмоутворення за другою з кутових координат, друга група входів модуля вилучення відгуків активних завад підключена до третьої групи виходів модуля формування сигналів синхронізації та управління, другі входи модуля завершення цифрового діаграмоутворення за першою з кутових координат, модуля цифрового діаграмоутворення за другою з кутових координат, модуля синтезу частотних фільтрів та модуля формування квадратів або абсолютних значень напруг для виявлення сигналів підключені відповідно до четвертого, п'ятого, шостого та сьомого виходів модуля формування сигналів синхронізації та управління.



Фіг. 1



Фиг. 2



Фиг. 3

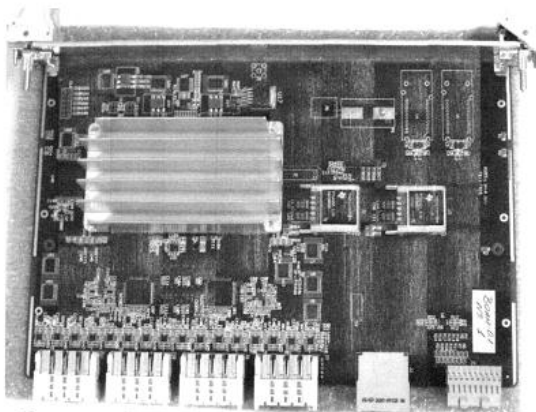


Fig. 4

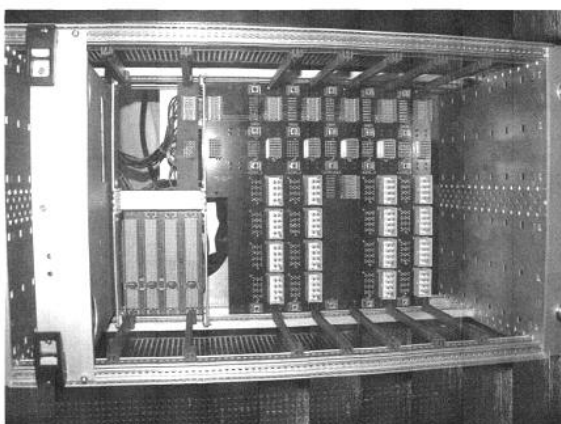


Fig. 5

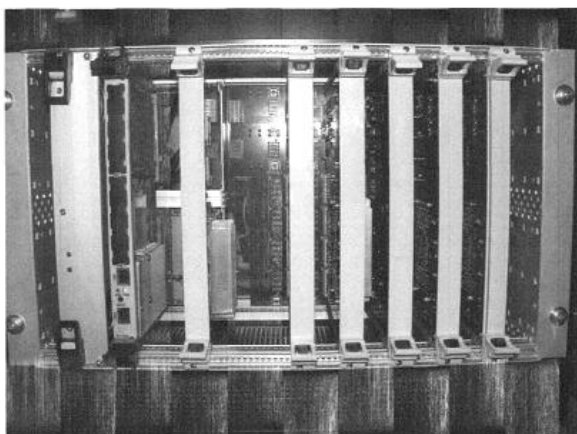
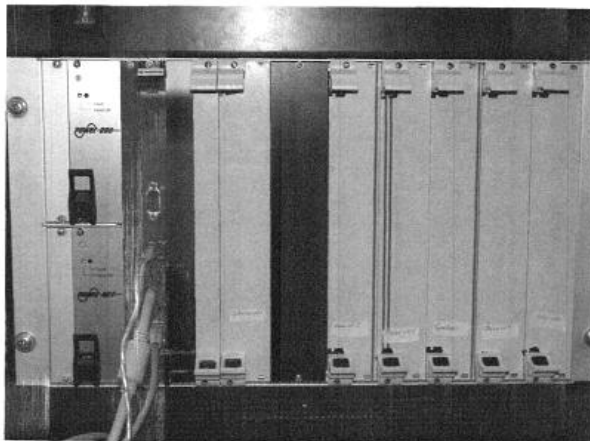


Fig. 6



Фіг. 7

---

Комп'ютерна верстка Л. Бурлак

---

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

---

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601